

**Министерство образования и науки
Кыргызской республики**

**Кыргызский Государственный Технический Университет
им. И. Раззакова**

Кафедра Информатики и вычислительной техники

СХЕМОТЕХНИКА

Методические указания к практическим занятиям для студентов
специальности 552801.01 «Вычислительные машины, комплексы, системы и
сети»

Бишкек 2009

Рассмотрены
на заседании кафедры «ИВТ»
Прот. №2 от 27.10.2009 г.

Одобрены
Методическим советом ФИТ
Прот. № 3 от 18.11.2009г.

УДК 681.3.

Составители: АЛЫМКУЛОВ С.А., ТЕНТИЕВА С.М.

СХЕМОТЕХНИКА: Методические указания к практическим занятиям для студентов специальности 552801.01 «Вычислительные машины, комплексы, системы и сети» Кыргыз. госуд. техническ. универ.; сост.: С.А. Алымкулов, С.М. Тентиева, Бишкек: ИЦ «Текник», 2009 - 30с.

Излагается методика решения типовых задач, приведены упражнения для самостоятельной работы.

Предназначены для студентов дневной формы обучения.

Табл. 10 Иллюстр. 34 Библиогр.: 8 назв.

Рецензент к.т.н., доц. Шабданов М.А.

Выписка

из протокола № 2 от 27 октября 2009 г заседания кафедры ИВТ

Присутствовали: Тентиева С.М., Токмергенова А.З., Алымкулов С.А.,
Шабданов М.А., Исраилова Н.А., Шаршеева К.Т.
Иманакунова Н.Т., Касенова Н.М.

Слушали: доцента кафедры ИВТ Тентиеву С.М. о подготовленных к изданию методических указаний к практическим занятиям по дисциплине «Схемотехника» для студентов специальности 552801.01 «Вычислительные машины, комплексы, системы и сети».

Постановили: Рекомендовать к изданию методические указания к практическим занятиям по дисциплине «Схемотехника».

Зав.кафедрой ИВТ

Алымкулов С.А.

Секретарь кафедры ИВТ

Тентимишева А.К.

РЕЦЕНЗИЯ

на методические указания к практическим занятиям по курсу «Схемотехника ЭВМ» для студентов специальности 552801.01- «Вычислительные машины, комплексы, системы и сети», разработанные профессором каф. Алымкуловым С.А. и доцентом кафедры Тентиевой С.М.

Предлагаемые к изданию методические указания содержат краткие теоретические сведения и методику решения типовых задач, приведены варианты заданий для самостоятельной работы. Методические указания соответствуют программе изучаемого курса, необходимы в учебном процессе и написаны на достаточном методическом уровне.

Методические указания предназначены для студентов специальности 552801.01. - «Вычислительные машины, комплексы, системы и сети». Они отвечают предъявляемым требованиям и могут быть рекомендованы к изданию.

Рецензент к.т.н., доцент каф. ИВТ

Шабданов М.А.

Цель и задачи

Целью методических указаний для практических занятий является углубление знаний, а также закрепление теоретического материала решением практических задач.

Поставленная цель достигается:

1. Решением задачи синтеза переключательных схем. При этом схемы синтезируются в различных базисах логических элементов, а также на мультиплексорах и программируемых логических матрицах.
2. Решением задачи синтеза двухступенчатых триггеров.
3. Решением задачи проектирования формирователей импульсов.

В результате изучения дисциплины «Схемотехника ЭВМ» студенты должны:

-знать:

номенклатуру, характеристики и функциональное назначение интегральных схем;

основные методы проектирования схем ЭВМ на основе схем средней степени интеграции, матричных БИС, программируемых логических матриц (ПЛМ), программируемых логических интегральных схем (ПЛИС);

-уметь:

выбирать схемотехническую базу при проектировании различных устройств ЭВМ;

разрабатывать электрические схемы средств вычислительной техники;

составлять временные диаграммы работы простейших устройств вычислительной техники;

пользоваться средствами моделирования устройств вычислительной техники.

-иметь навыки экспериментального исследования спроектированных схем.

1. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА НА ИНТЕГРАЛЬНЫХ ЛОГИЧЕСКИХ МИКРОСХЕМАХ

Различают комбинационные схемы и цифровые автоматы. В комбинационных схемах состояние на выходе в данный момент времени однозначно определяется состояниями на входах в тот же момент времени. Комбинационными схемами, например, являются логические элементы И, ИЛИ, НЕ и их комбинации. В цифровом автомате состояние на выходе определяется не только состояниями на входах в данный момент времени, но и предыдущим состоянием системы. К цифровым автоматам относятся триггеры.

Система простых логических функций, на основе которой можно получить любую логическую функцию, называется функционально полной.

Отсюда следует, что для построения логического устройства любой сложности достаточно иметь однотипные логические элементы, например, И-НЕ или ИЛИ-НЕ.

Логические элементы могут работать в режимах положительной и отрицательной логики.

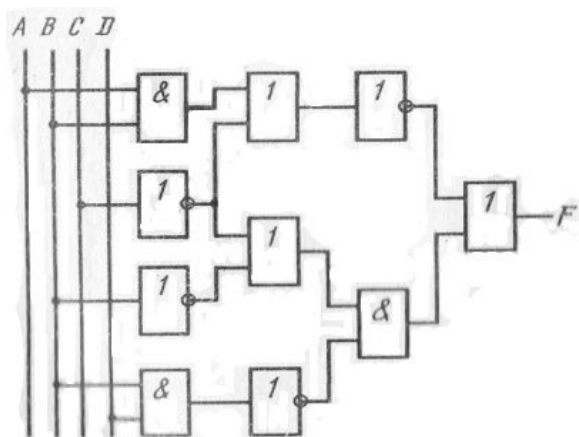


Рис. 1.1

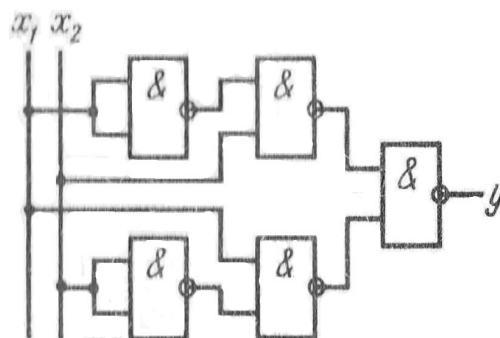


Рис.1.2

Пример: Записать структурную формулу, которая реализуется комбинационной схемой, приведенной на рис. 1.1. Упростить полученную структурную формулу и построить новую схему на элементах И, ИЛИ и НЕ.

Решение:

$$F = \overline{AB \vee C \vee BD} (\overline{C \vee B}) = \overline{AB \vee C \vee CBBD} = \overline{AB \vee C \vee CB \vee BD} = (\overline{AB \vee C}) B (C \vee D) = B (\overline{A \vee C}) (C \vee D)$$

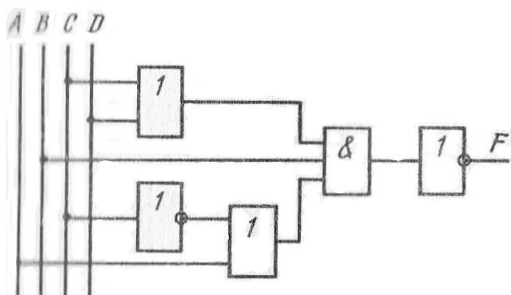


Рис. 1.3

Схема устройства приведена на рис. 1.3. Число входов у элементов исходной схемы $n_1 = 16$. Число входов у полученной схемы $n_2 = 9$

Упражнения для самостоятельной работы:

1. Упростить схему комбинационного устройства, приведенную на рис. 1.2.
2. Синтезировать в базисе И, ИЛИ, НЕ устройство, сигнал на выходе которого равен 1 только в том случае, когда на его двух входах (x_1 и x_2)

действуют различные сигналы (узел неравнозначности, сумматор по модулю два).

3. Решить задачу 2.3, используя только элементы:

а) И-НЕ б) ИЛИ-НЕ.

4. На вход сумматора по модулю два поступает серия импульсов, приведенная на рис. 1.4. Построить временную диаграмму выходного сигнала $y(t)$ без учета задержек и фронтов, создаваемых логическими элементами сумматора.

5. Синтезировать в базисе И, ИЛИ, НЕ устройство, сигнал на выходе которого равен 1, только в том случае, когда на его двух входах (x_1 и x_2) действуют одинаковые сигналы (узел равнозначности).

6. На вход узла равнозначности подается серия импульсов, приведенная на рис. 1.5. Построить временную диаграмму выходного сигнала без учета задержек и фронтов, создаваемых логическими элементами устройства.

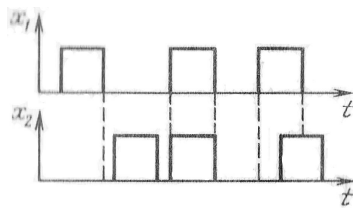


Рис. 1.4

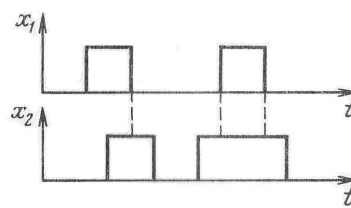


Рис. 1.5

7. Устройство с четырьмя входами (x_1, x_2, x_3, x_4) должно работать так, чтобы на выходе появлялся сигнал 1, когда не менее чем на трех входах будут одновременно сигналы 1. Синтезировать устройство на элементах И, ИЛИ, НЕ.

8. Устройство с четырьмя входами (x_1, x_2, x_3, x_4) должно работать так, чтобы на выходе появлялся сигнал 1, когда на трех входах будут одновременно сигналы 1. На всех четырех входах сигнал 1 никогда не появляется. Синтезировать устройство на элементах И, ИЛИ, НЕ.

9. Синтезировать мажоритарный элемент на три входа (x_1, x_2, x_3):

а) в базисе И-НЕ

б) в базисе ИЛИ-НЕ.

У такого элемента значения выходного сигнала совпадают со значением большинства входных.

10. Синтезировать полный дешифратор на три входа на элементах И, ИЛИ, НЕ. Как необходимо изменить схему дешифратора, чтобы превратить его в дешифратор-демультиплексор (стробируемый дешифратор)?

2. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ И НА БАЗЕ МУЛЬТИПЛЕКСОРОВ

Комбинационные схемы с одним выходом и несколькими входами относятся к наиболее простым схемам. Основная сложность при синтезе этих схем состоит в том, чтобы найти выражение для выходной функции в заданном базисе.

Процесс синтеза логической схемы состоит из следующих основных этапов:

а) формируются логические условия работы схемы в виде таблицы истинности функций, отражающей функциональное назначение устройства (иногда функция схемы задается в виде формулы);

б) по таблице истинности или заданной формуле составляется совершенная нормальная форма (СНФ) логической функции;

в) производится минимизация логической функции методом непосредственных преобразований с применением законов и следствий алгебры логики или же минимизация с использованием карт Карно;

г) по упрощенной логической формуле, в заданном базисе, строится функциональная схема устройства.

Если конкретная элементная база не указывается, то выбирается та формула, которая обеспечивает минимальное число элементов.

Пример синтеза одновыходных комбинационных схем

Пусть задана функция вида : $(\bar{x}_1 \oplus x_2) \equiv [(\bar{x}_2 \rightarrow x_3)(x_1 * \bar{x}_2)]$

Выполнить синтез минимальной по оборудованию логической схемы в базисе элементов И-НЕ.

Решение:

а) преобразуем заданную функцию в совершенную дизъюнктивную нормальную форму (СДНФ):

$$\begin{aligned} (\bar{x}_1 x_2 + x_1 \bar{x}_2) &\equiv (\bar{x}_2 + x_3) * (\bar{x}_1 + x_2) = (\bar{x}_1 \bar{x}_2 + x_1 \bar{x}_2) \equiv (x_2 \bar{x}_3) * (\bar{x}_1 + x_2) = \\ (\bar{x}_1 \bar{x}_2 + x_1 \bar{x}_2) * (\bar{x}_1 \bar{x}_2 \bar{x}_3 + x_2 \bar{x}_3) &+ (\bar{x}_1 \bar{x}_2 + x_1 \bar{x}_2) * (\bar{x}_1 \bar{x}_2 x_3 + x_2 \bar{x}_3) = \bar{x}_1 \bar{x}_2 \bar{x}_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 x_2 \bar{x}_3 + \\ + x_1 \bar{x}_1 \bar{x}_2 \bar{x}_3 + x_1 \bar{x}_2 \bar{x}_3 &+ (\bar{x}_1 * \bar{x}_2 * x_1 \bar{x}_2) * (\bar{x}_1 \bar{x}_2 \bar{x}_3 * x_2 \bar{x}_3) = (x_1 \bar{x}_2 \bar{x}_3) + (x_1 + x_2) * (\bar{x}_1 + \bar{x}_2) * \\ * (x_1 + \bar{x}_2 + x_3) * (\bar{x}_2 + x_3) &= x_1 \bar{x}_2 \bar{x}_3 + (x_1 \bar{x}_1 + x_1 \bar{x}_2 + \bar{x}_1 \bar{x}_2 + x_2 \bar{x}_2) * (x_1 \bar{x}_2 + x_1 x_3 + \bar{x}_2 + \bar{x}_2 x_3 + \\ + x_3 \bar{x}_2 + x_3) &= x_1 \bar{x}_2 \bar{x}_3 + (\bar{x}_1 \bar{x}_2 + \bar{x}_1 \bar{x}_2) * (x_1 \bar{x}_2 + x_1 x_3 + \bar{x}_2 + \bar{x}_2 x_3 + x_3) = x_1 \bar{x}_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3 + \\ + \bar{x}_1 \bar{x}_2 x_3 &+ x_1 \bar{x}_2 * (x_3 + \bar{x}_3) = x_1 \bar{x}_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 \bar{x}_3 + \bar{x}_1 \bar{x}_2 x_3 + x_1 \bar{x}_2 \bar{x}_3; \end{aligned}$$

б) выполним минимизацию с помощью карты Карно

x_1x_2	00	01	11	10
x_3				
0			1	1
1		1		1

Рис.2.1

После минимизации получим:
 $f_{\min}(x_1, x_2, x_3) = \overline{x_1}x_2x_3 + x_1\overline{x_2} + x_1x_3;$

в) используя правило де Моргана, приведем функцию к заданному базису:

$$f_{\min}(x_1, x_2, x_3) = \overline{\overline{\overline{x_1}x_3} + \overline{\overline{x_1}x_2} + \overline{\overline{x_1}x_3}} = \overline{\overline{\overline{x_1}x_3} * \overline{\overline{x_1}x_2} * \overline{\overline{x_1}x_3}};$$

г) по полученному логическому выражению строим комбинационную схему в базисе логических элементов И-НЕ (рис.2.2):

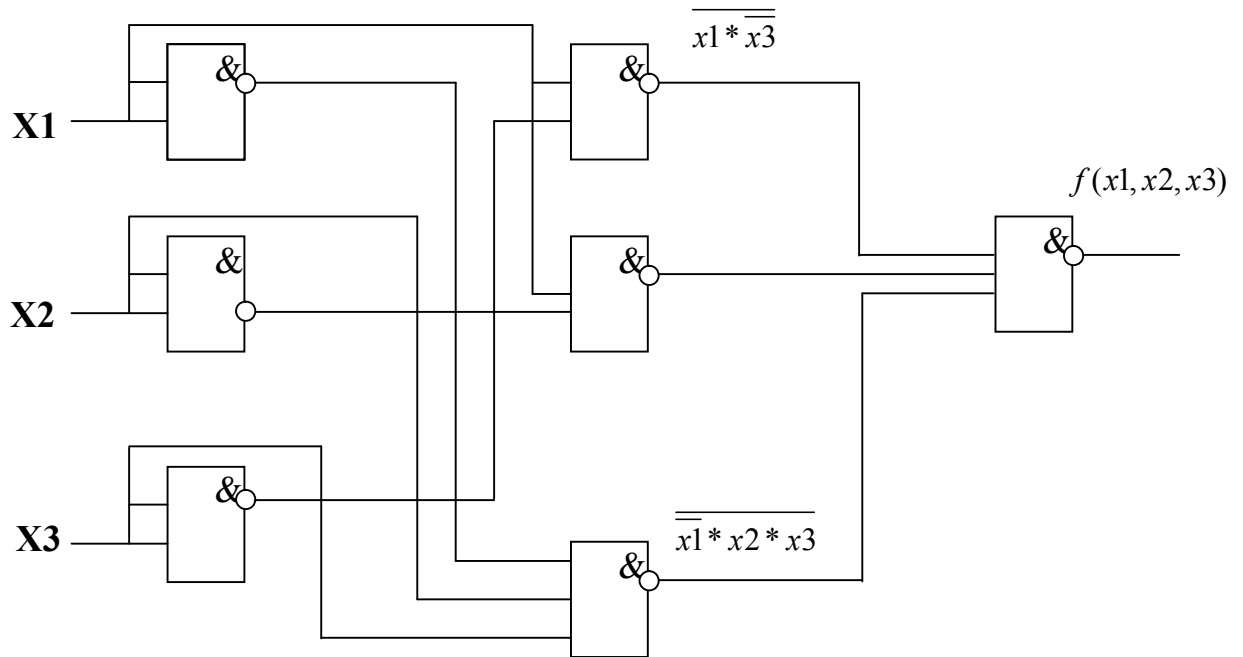


Рис. 2.2

д) проверяем минимизацию (табл. 2)

Таблица 2

№ п.п.	Аргумент			A	B	C	D	F	Fmin
	x 1	x 2	x 3	$\overline{x1} \oplus x2 =$ $x1x2 + x1x2$	$\overline{x2} \rightarrow x3 =$ $\overline{x2+x3} = x2x3$	$\overline{x1x2} = \overline{x1+x2}$	BC	$A \equiv D =$ $AD + \overline{AD}$	$x1x3 + x1x2 +$ $+ x1x2x3$
1	0	0	0	1+0=1	0	1	0	0+0=0	0+0+0=0
2	0	0	1	1+0=1	0	1	0	0+0=0	0+0+0=0
3	0	1	0	0+0=0	1	1	1	0+0=0	0+0+0=0
4	0	1	1	0+0=0	0	1	0	0+1=1	0+0+1=1
5	1	0	0	0+0=0	0	0	0	0+1=1	1+1+0=1
6	1	0	1	0+0=0	0	0	0	1+0=1	0+1+0=1
7	1	1	0	0+1=1	1	1	1	1+0=1	1+0+0=1
8	1	1	1	0+1=1	0	1	0	0+0=0	0+0+0=0

Мультиплексор - это узел комбинационного типа. Обеспечивает передачу информации, поступающей по нескольким входным линиям связи, на одну выходную шину, причем выбор той или иной входной линии определяется входным адресным кодом. Причем, в каждый момент времени только одна выбранная входная линия может быть подключена к единственной выходной линии. На практике применяются мультиплексоры, имеющие 4, 8 и 16 информационных входов. Мультиплексирование большего числа информационных каналов осуществляется путем композиции мультиплексоров с заданным меньшим числом входов. Переключательная функция мультиплексора, показанного на рис.3, определяется следующим выражением:

$$F = \overline{a1} \cdot \overline{a2} \cdot \overline{a3} \cdot D0 + \overline{a1} \cdot \overline{a2} \cdot a3 \cdot D1 + \dots + a1 \cdot a2 \cdot a3 \cdot D7 = \bigcup_{i=0}^7 m_i \cdot D_i \quad (1)$$

где m_i - минтерм адресных переменных, равный 1 только на i -м наборе адресных переменных и 0 на всех остальных наборах.

Формула (1) математически описывает выходную функцию мультиплексора на 8 входов. Аналогично выглядит описание мультиплексора на 16 входов с той лишь разницей, что $i = \overline{0,15}$.

Для расширения логических возможностей мультиплексоров они содержат стробирующие входы (входы расширения), а также два выхода : прямой и инверсный. Так, в частности, реализован мультиплексор К155КП7 (рис. 2.4).

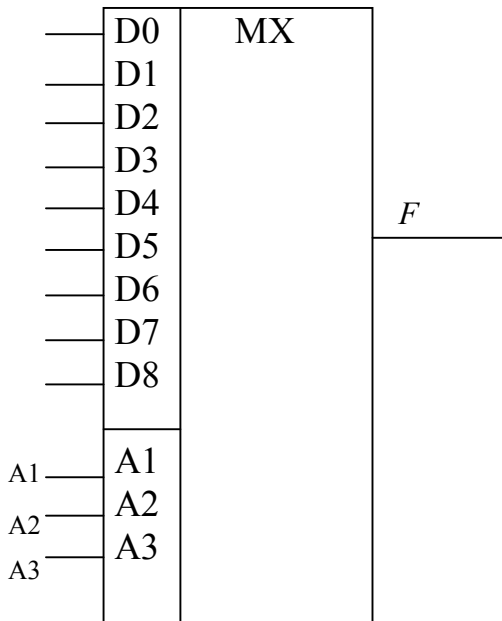


Рис. 2.3

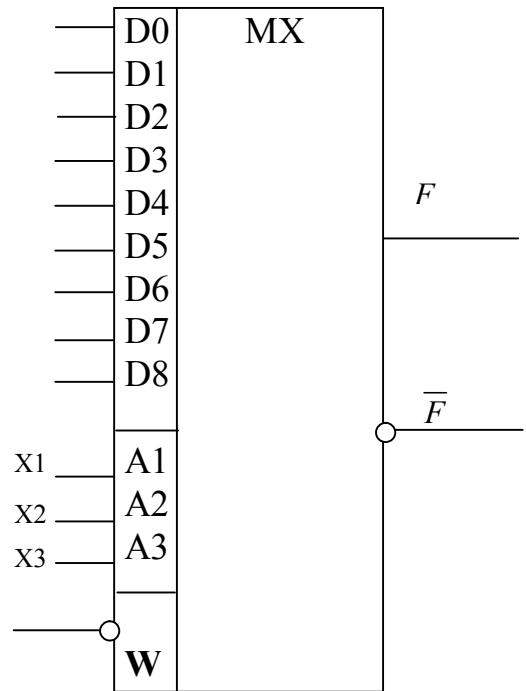


Рис. 2.4

Рассмотрим нетрадиционное применение мультиплексов, то есть не только в качестве коммутаторов цифровых сигналов. Это применение сводится к частному случаю реализации некоторой переключательной функции (ПФ).

Из анализа формулы (1) нетрудно сделать вывод о возможности реализации ПФ 3-х переменных $F(x_1, x_2, x_3)$ с помощью восьмивходового мультиплексора: если положить $a_1 = x_1$, $a_2 = x_2$, $a_3 = x_3$, то при условии $D_i \in \{0, 1\}$ правая часть формулы является представлением ПФ в СДНФ. Поэтому мультиплексор можно запрограммировать на реализацию функции $F(x_1, x_2, x_3)$, если соответствующий информационный вход подключить к уровню '0' или '1'.

Пример синтеза комбинационных схем на базе мультиплексов.

Реализовать ПФ трех переменных, которая равна 1 на третьем, четвертом, пятом и шестом наборах аргументов и 0 на оставшихся наборах аргументов (функция предыдущего примера см. табл.2).

Построим таблицу программирования мультиплексора (табл.3), в которой каждому адресному минтерму ставится в соответствие значение $D_i \in \{0, 1\}$, по следующему правилу: если на i -м наборе ПФ равна '1', то $D_i = 1$, в противном случае $D_i = 0$.

Таблица 3

m_i	m_0	m_1	m_2	M_3	m_4	m_5	m_6	m_7
D_i	0	0	0	1	1	1	1	0

Само программирование мультиплексора заключается в подключении соответствующих информационных входов к нулевому или единичному уровню напряжения (рис. 2.5).

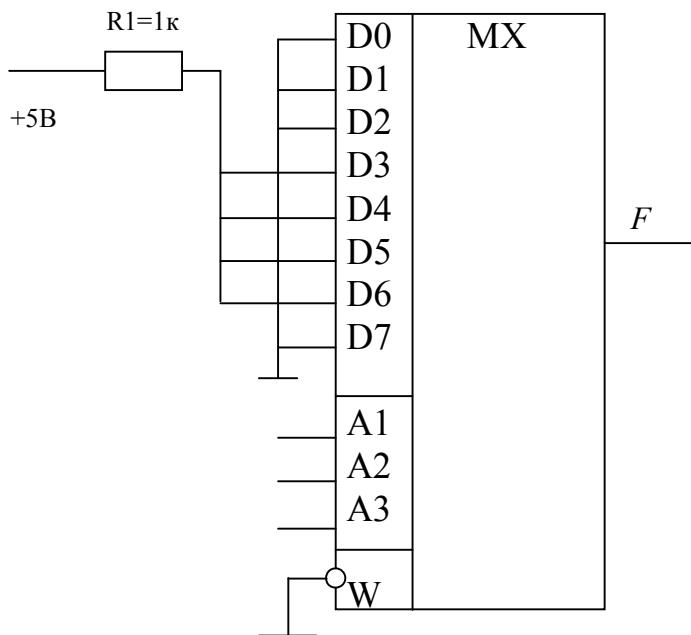


Рис. 2.5

Рассмотрим пример использования четырехходового мультиплексора для ПФ трех переменных $F(x_1, x_2, x_3)$ (согласно функции предыдущего примера), заданной табл. 4. Проанализируем каждый адресный минтерм $m_i = (x_1, x_2)$, где $i = \overline{0,3}$ и поставим ему в соответствие $D_i \in \{0, 1, x_3, \overline{x_3}\}$.

Как видно из табл. 4, если выражение для ПФ получается в виде $m_i * x_3$, то $D_i = x_3$, иначе если $m_i * \overline{x_3}$, то $D_i = \overline{x_3}$. Когда значение функции f не зависит от переменной x_3 , то величина $D_i = f$.

Таблица 4

x_1	x_2	x_3	F	D_i	M_i
0	0	0	0	0	m_0
0	0	1	0		
0	1	0	0	x_3	m_1
0	1	1	1		
1	0	0	1	1	m_2
1	0	1	1		
1	1	0	1	$\overline{x_3}$	m_3
1	1	1	0		

Теперь составим схему подключения мультиплексора путем соединения каждого i -го информационного входа с одной из шин - $U^0, U^1, x_3, \overline{x_3}$.

Реализация приведенной в качестве примера ПФ показана на рис. 2.6. Аналогичным образом можно реализовать ПФ пяти переменных с помощью мультиплексора на 16 входов без стробирования и ПФ четырех переменных с помощью мультиплексора на 8 входов без стробирования.

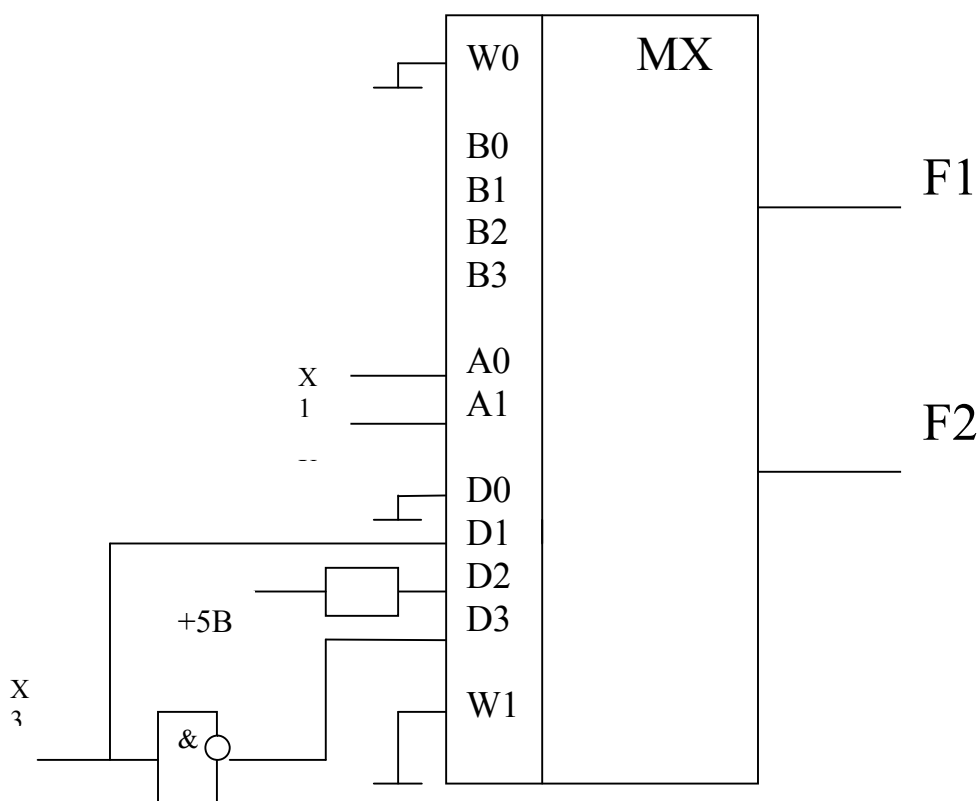


Рис. 2.6

Дальнейшее расширение класса реализуемых функций достигается при использовании мультиплексоров со стробированием. Для реализации ПФ четырех, пяти, шести переменных с помощью мультиплексоров на 4, 8 и 16 входов соответственно с использованием стробирующего входа необходимо выполнить следующую последовательность шагов:

1) составить таблицу истинности для $a(x_1, x_2, \dots, x_k)$ и построить карту настройки, входами которой служат минтермы $m_i = (x_1, x_2, \dots, x_{k-1})$, а выходами - переменные $D_i \in \{0, 1, x_4, \overline{x_4}\}$ для всех i ;

2) переменные x_2, \dots, x_{k-1} подать на адресные входы двух мультиплексоров;

3) переменную x_1 подать на стробирующий вход первого мультиплексора и через инвертор на стробирующий вход второго мультиплексора;

4) информационные входы первого и второго мультиплексоров подключить к шинам $U^0, U^1, x_4, \overline{x_4}$ в соответствии с картой настройки;

5) прямые выходы мультиплексоров объединить при помощи элемента ИЛИ.

Для реализации ПФ большого числа переменных в технической литературе рекомендуется использовать цепочные структуры. Однако, низкое быстродействие таких структур не позволяет им конкурировать с другими способами реализации ПФ, например, на основе ПЗУ.

Таблица 5

ВАРИАНТЫ ЗАДАНИЙ

№ варианта	Логическая функция
1	$(\overline{x_1} \oplus x_2) \equiv [(\overline{x_2} \rightarrow x_3)(\overline{x_1 x_3})]$
2	$(\overline{x_2} \rightarrow x_3)[(\overline{x_1} \oplus x_2) \vee x_3]$
3	$(\overline{x_1} \oplus x_2)(\overline{x_2} \rightarrow \overline{x_3})(x_1 \wedge \overline{x_3}) \vee x_3$
4	$[(x_1 / x_2) \vee (x_2 \downarrow x_3) \vee (x_1 \equiv x_3)] \wedge x_2$
5	$[(x_1 \equiv x_3) \rightarrow (\overline{x_2} \equiv \overline{x_3})] / x_1 \wedge x_2$
6	$x_1 \overline{x_2} [(x_1 x_2) \rightarrow (\overline{x_1 x_2})] \vee [x_3 x_4 (\overline{x_3 x_4} \vee x_3 x_4)]$
7	$x_1 x_4 [(x_1 \equiv x_3) \rightarrow (x_1 x_3 \vee \overline{x_1 x_3})] \vee [x_2 x_4 \vee (x_2 \oplus x_4)]$
8	$\overline{x_1 x_2} (x_1 \oplus x_2 \vee \overline{x_1 x_2}) \vee (x_3 \rightarrow \overline{x_4 x_3} \vee x_4)(x_3 \equiv x_4)$
9	$\overline{x_1 x_2} \wedge [(x_1 \equiv x_2) \rightarrow (x_1 \oplus x_2)] \wedge [x_3 \overline{x_4} \wedge (x_3 \oplus x_4)]$
10	$[x_1 x_3 (x_2 \rightarrow \overline{x_4})] \wedge [(x_3 \oplus x_2) \equiv (x_1 \equiv x_4)]$

Вопросы для самостоятельной работы:

1. В чем сущность анализа и синтеза комбинационных схем?
2. Какое количество адресных входов должен иметь мультиплексор, чтобы на нем можно было реализовать любую функцию от n переменных?
3. Какие имеются модификации схем мультиплексоров?
4. Как выглядит функциональная схема мультиплексора?
5. Каково основное назначение мультиплексоров?
6. Как можно использовать стробирующий вход мультиплексора при синтезе комбинационных схем?
7. Привести пример пирамидального каскадирования мультиплексоров?
8. Какие имеются способы построения мультиплексоров с n адресными входами на базе мультиплексоров с (n-1) адресным входом?
9. Какие имеются способы построения мультиплексоров с n адресными входами на базе мультиплексоров, имеющих менее чем (n-1) адресный вход?

3. ЦИФРОВЫЕ УСТРОЙСТВА НА ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ МАТРИЦАХ

В данный раздел включены задачи, связанные с построением комбинационных цифровых устройств на программируемых логических матрицах. Для получения однозначного ответа следует ориентироваться на матрицы, приведенные в данном разделе. На рис. 3.1 приведена упрощенная схема двухуровневой ПЛМ.

На уровне I выполняется операция И над переменными x и их инверсиями. (инверторы на схеме обозначены кружками). На уровне II выполняется операция ИЛИ над переменными p , являющимися выходными сигналами первого уровня матрицы. Крестиками на шинах обозначены элементы связи, которые включаются во время программирования путем прожигания либо во время изготовления путем наложения маски.

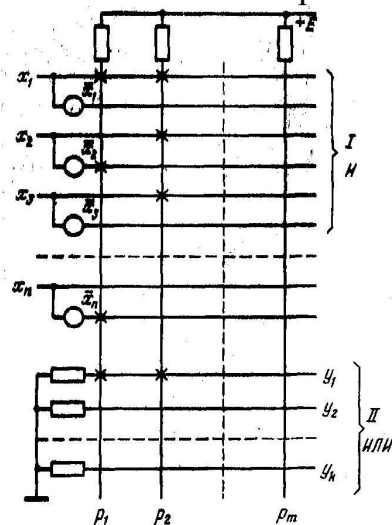


Рис. 3.1

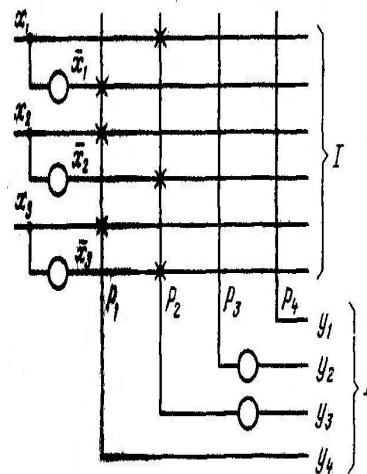


Рис. 3.2

В рассматриваемом примере (рис. 3.1)
 $p_1 = x_1 \bar{x}_2 \bar{x}_n$, $p_2 = x_1 x_2 x_3$, $y_1 = p_1 \vee p_2 = x_1 \bar{x}_2 \bar{x}_n \vee x_1 x_2 x_3$

При решении задач резисторы на схемах можно не изображать.

На рис. 3.2 приведена упрощенная схема программируемой матрицы вентилей (ПМВ). Резисторы на схеме не показаны. Элементы связи включаются также, как и в двухуровневой ПЛМ. Кружками, как и раньше, обозначены инверторы.

В данном примере (рис. 3.2)
 $y_3 = \overline{x_1 x_2 x_3} = \bar{x}_1 \vee \bar{x}_2 \vee \bar{x}_3$, $y_4 = \overline{x_1 x_2 x_3}$

Очевидно, что матрица вентилей не позволяет получать все возможные функции от переменных x .

При решении задач на схемах необходимо показывать только используемые шины и их соединение элементами связи. После этого можно выбрать матрицу из имеющихся в распоряжении проектировщика.

Упражнения для самостоятельной работы:

1. Построить шифратор на пять входов на ПМВ.
2. Построить преобразователь позиционного десятичного кода в двоично-десятичный на ПМВ.
3. Решить задачу 2, используя двухуровневую ПЛМ.
4. Построить полный дешифратор на три входа на ПМВ.
5. Построить мультиплексор на восемь каналов на двухуровневой ПЛМ.
6. Построить устройство для сравнения двух 3-разрядных чисел на двухуровневой ПЛМ. При неравенстве чисел на выходе устройства появляться сигнал нуль.
7. Построить полный сумматор на двухуровневой ПЛМ.

4. СИНТЕЗ ДВУХСТУПЕНЧАТЫХ ТРИГГЕРОВ

Кроме логических элементов для построения цифровых систем требуются элементы памяти, осуществляющие хранение двоичной цифровой информации в течение требуемого времени. В качестве статического элемента памяти в цифровых микросхемах используется бистабильная ячейка (**БЯ**). БЯ бывает двух основных типов: дизъюнктивная бистабильная ячейка (**ДБЯ**) строится на элементах ИЛИ-НЕ либо ИЛИ, НЕ; конъюнктивная базовая ячейка (**КБЯ**) строится на элементах И-НЕ либо И, НЕ. Управляющие сигналы S' и R' , переключающие ячейку, могут поступать на входы БЯ (рис.4.1а, в), либо на выходы БЯ (рис.4.1б, г). В последнем случае выходные функции Q и \bar{Q} образуются с помощью операций «МОНТАЖНОЕ ИЛИ» (рис.4.1б) либо «МОНТАЖНОЕ И» (рис.4.1г), которые выполняются над управляющими сигналами S' , R' и сигналами на выходах БЯ.

Задержка переключения БЯ определяется с помощью временных диаграмм, параметры одной из которых для ДБЯ (рис.4.1 а) приведены на рис.4.2. Как видно из диаграммы, БЯ, управляемые по входам, переключаются за время

$$t_n = 2 \cdot t_3$$

после поступления соответствующих управляющих сигналов, где t_3 - средняя задержка переключения элемента БЯ. Для БЯ, управляемых по выходам, время переключения

$$t_n = t_3 .$$

Таким образом, применение БЯ, управляемых по выходам, позволяет получать более быстродействующие структуры триггеров.

При поступлении управляющих сигналов $R'=S'=1$ ДБЯ будут иметь состояния выходов $Q=\bar{Q}=0$, т.е. взаимоинверсность выходов нарушается ($Q \nabla \bar{Q}$). Если затем поступят сигналы $S' \nabla R'$ ($R'=0, S'=1$ либо $R'=1, S'=0$), то произойдет установка БЯ в состояние $Q=1$, либо $\bar{Q}=0$. Если же после $R'=S'=1$ управляющие сигналы сразу примут значения $R'=S'=0$, то оба элемента БЯ будут стремиться переключиться в состояние $Q=\bar{Q}=1$. Такое состояние не может реализоваться, т.к. при этом было бы нарушено логическое функционирование элементов БЯ. Поэтому на практике переключается только один из элементов, а другой сохраняет состояние 0 на выходе. Какой из элементов БЯ переключится, а какой сохранит свое состояние, зависит от их параметров, которые имеют разброс даже для однотипных элементов. Состояние БЯ в данном случае будет зависеть от разброса параметров элементов и не может быть определено однозначно, т.е. можно получить $Q=1, \bar{Q}=0$, либо $Q=0, \bar{Q}=1$.

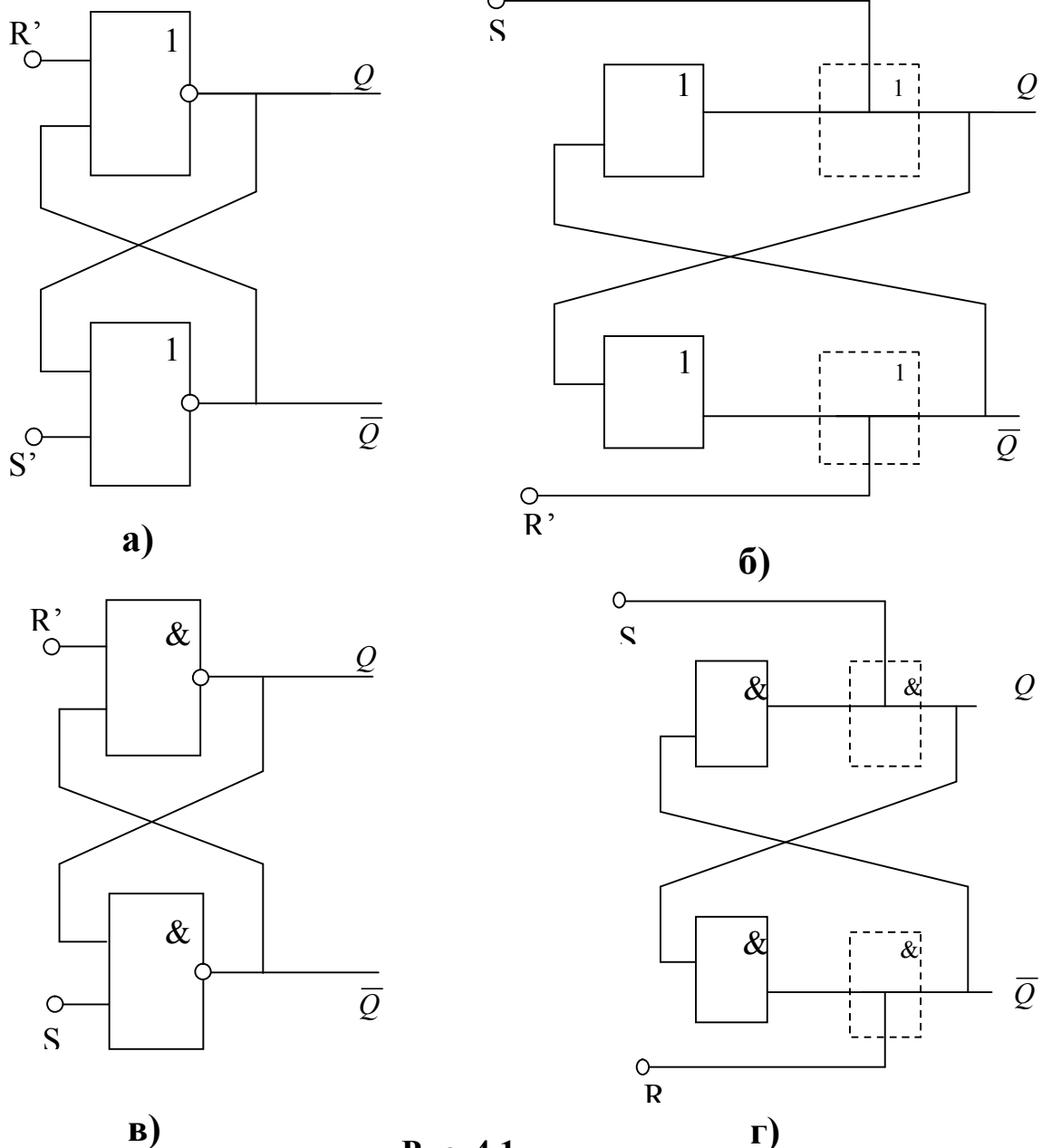


Рис. 4.1

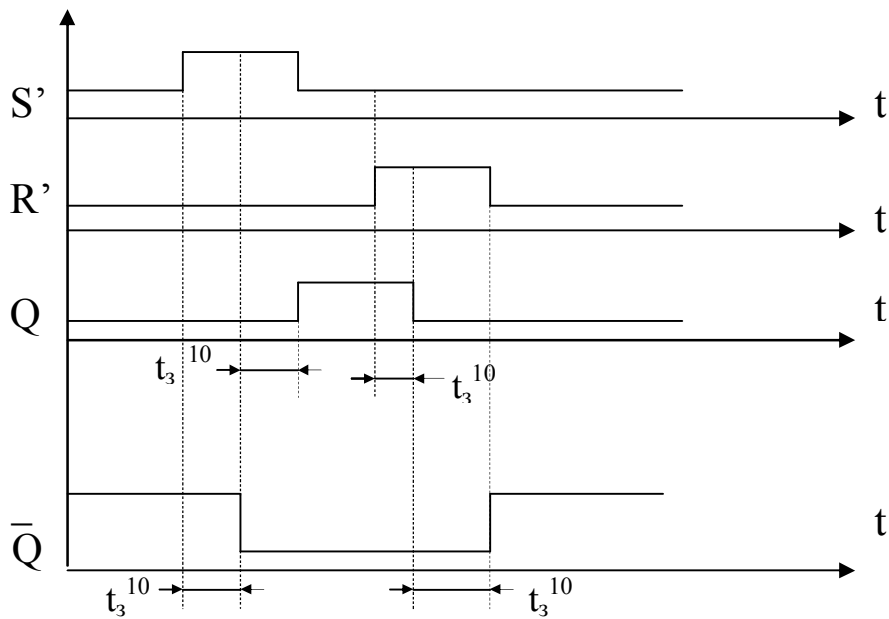


Рис. 4.2

Таким образом, неопределенность состояния БЯ вызывает на комбинациях сигналов $S'R'=11$ (при этом состояние выходов однозначно определено: $Q=0$, $\bar{Q}=0$), а последовательность сигналов $S'R'=11 \rightarrow 00$. Последовательности управляющих сигналов, приводящие к неоднозначным состояниям последовательностных устройств, называются критическими. Чтобы избежать ошибок при обработке информации, критические последовательности при проектировании цифровых устройств должны быть исключены. Наиболее простым способом исключения критической последовательности $S'R'=11 \rightarrow 00$ в ДБЯ является запрещение поступления комбинации $S'R'=11$. Аналогичным анализом нетрудно показать, что для КБЯ критической является последовательность $S'R'=00 \rightarrow 11$, исключить которую можно, запретив использование комбинации $S'R'=00$.

Функционирование ДБЯ и КБЯ с запрещенными комбинациями описывается таблицей состояний 6.

При проектировании последовательностных узлов на основе БЯ удобно использовать так называемую функцию переходов БЯ, которая указывает изменение (или сохранение) состояния 0 в зависимости от значений управляющих сигналов. Эта функция определяется с помощью полной таблицы состояний и принимает следующие значения:

- $F_Q = \nabla$ - переход из состояния $Q^n=1$ в $Q^{n+1}=0$;
- $F_Q = \Delta$ - переход из состояния $Q^n=0$ в $Q^{n+1}=1$;
- $F_Q = 0$ – сохранение состояния $Q^n=Q^{n+1}=0$;
- $F_Q = 1$ – сохранение состояния $Q^n=Q^{n+1}=1$;

Таблица 6

S'	R'	Q ⁿ	ДБЯ		КБЯ	
			Q ⁿ⁺¹	F _Q	Q ⁿ⁺¹	F _Q
0	0	0	0	0	X	-
0	0	1	1	1	X	-
0	1	0	0	0	0	0
0	1	1	0	∇	0	∇
1	0	0	1	Δ	1	Δ
1	0	1	1	1	1	1
1	1	0	X	-	0	0
1	1	1	X	-	1	1

На основе таблицы 6 получим таблицу 7, которая указывает, какие значения управляющих сигналов вызывают тот или иной переход F_Q. Эта таблица называется словарем переходов.

Таблица 7

F _Q	ДБЯ		КБЯ	
	S'	R'	S'	R'
0	0	X	X	1
1	X	0	1	X
Δ	1	0	1	0
∇	0	1	0	1

Общая схема синхронного двухступенчатого триггера на БЯ приведена на рис.9, где E1, E2 – логические входы, С – вход синхронизации, S' и R' – возбуждающие входы, Q' – выход первой ступени, Q – выход триггера.

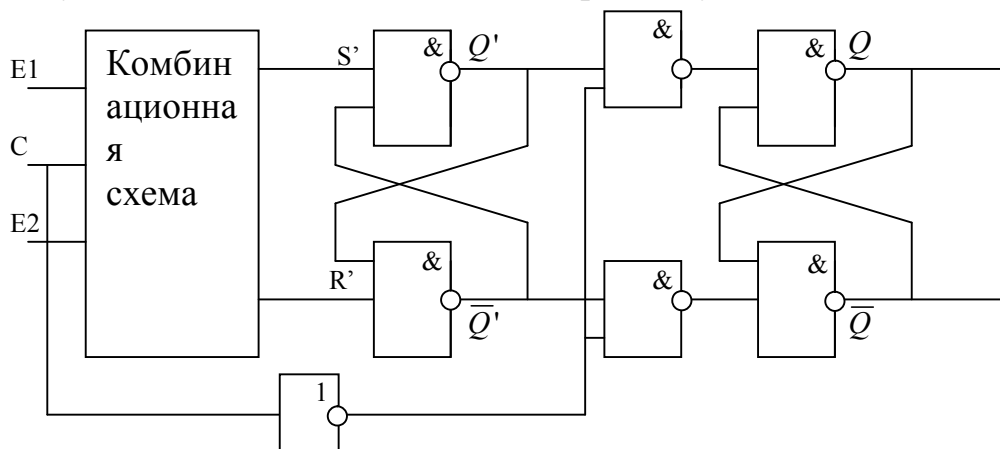


Рис.4.3

Пример синтеза двухступенчатого триггера

Синтезировать на элементах И-НЕ синхронный двухступенчатый триггер, закон функционирования которого задан таблицей входов, представленной в таблице 8, где Q^{n+1} – состояние триггера в такте (n+1), т.е. после подачи синхроимпульса. Синтез состоит из следующих этапов.

1. Составление таблицы истинности для функций возбуждения S' и R' БЯ. Аргументами для данных функций являются выход триггера Q , входы $E1$, $E2$, C , где C – сигнал синхронизации (табл. 9).

Таблица 8

E1	E2	Q^{n+1}
0	0	Q
0	1	0
1	0	Q
1	1	1

Таблица 9

C	E1	E2	Q^n	Q^{n+1}	F_Q	S'	R'
0	0	0	0	0	0	X	1
0	0	0	1	1	1	1	X
0	0	1	0	0	0	X	1
0	0	1	1	1	1	1	X
0	1	0	0	0	0	X	1
0	1	0	1	1	1	1	X
0	1	1	0	0	0	X	1
0	1	1	1	1	1	1	X
1	0	0	0	0	0	X	1
1	0	0	1	1	1	1	X
1	0	1	0	0	0	X	1
1	0	1	1	0	∇	0	1
1	1	0	0	0	0	X	1
1	1	0	1	1	1	1	X
1	1	1	0	1	Δ	1	0
1	1	1	1	1	1	1	X

Таблицу условно можно разделить на две части: $C=0$ и $C=1$. При $C=0$ функции S' и R' должны иметь такие значения, которые не меняют состояния БЯ. Здесь необходимо сделать очень важное замечание: состояние первой и второй ступеней при $C=0$ одинаково. Следовательно, значение выхода Q равно значению выхода Q' . Заполнение таблицы истинности производится на основе заданной таблицы переходов двухступенчатых триггеров (табл.8).

Рассмотрим первую строчку таблицы истинности (см. табл.9). Так как $C=0$, то значение функций S' и R' не должно изменять значение выхода $Q'=Q=0$. Это возможно, если $R'=1$, S' может принимать произвольное значение $S'=X$ (см. строки $F_Q=0$ табл.7). X можно придать любое значение 0 или 1. Рассмотрим вторую строку. Здесь значение $Q=Q'=1$. Чтобы состояние

триггера не изменилось, значение $S'=1$, $R'=X$ (см. строку $F_Q=1$ табл.7). Рассуждая аналогичным образом, заполним первую половину таблицы. Поскольку при формировании этой части таблицы не рассматривались значения сигналов на входах $E1$ и $E2$, то такое содержание таблицы неизменно для любого триггера.

При определении значений функций S' и R' во второй половине таблицы ($C=1$) необходимо использовать таблицу переходов синтезируемого триггера. Рассмотрим первую строчку второй половины табл.9. При $E1=0$ и $E2=0$. Теперь обратимся к таблице переходов триггера (табл.8). При $E1=0$ и $E2=0$ триггер не изменяет своего состояния, следовательно, $S'=X$, $R'=1$. Рассмотрим комбинацию входных переменных $C=1$, $E1=0$, $E2=0$ и $Q=1$. В соответствии с таблицей переходов триггер не должен изменить свое состояние, поэтому $S'=1$, а $R'=X$ (см. табл.7). Проводя подобные рассуждения, заполняем всю таблицу 9.

2. Получение минимальных логических выражений для функций возбуждения S' и R' .

Минимизацию в данном случае удобнее произвести с помощью карты Карно (Рис. 4.4)

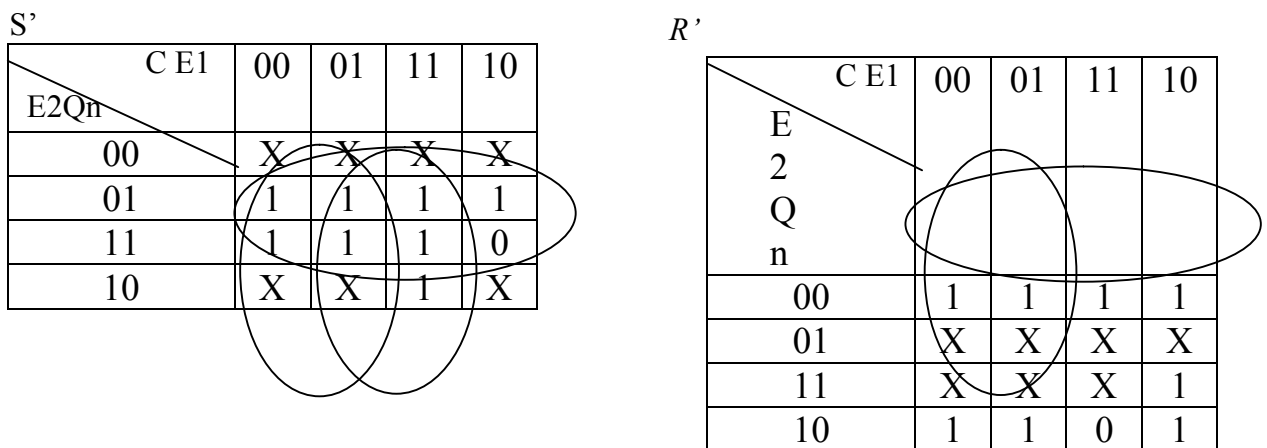


Рис.4.4

В результате минимизации получены следующие выражения для функций S' и R' .

$$S' = E1 \vee \bar{E}2 \vee \bar{C};$$

$$R' = \bar{E}1 \vee \bar{E}2 \vee \bar{C}.$$

Поскольку при построении таблицы использовался словарь переходов для КБЯ, выражения для входов (функций) S' и R' необходимо перевести в базис И-НЕ. Окончательно получаются функции

$$S' = E1 \vee \bar{E}2 \vee \bar{C} = \overline{\bar{E}1 * E2 * C};$$

$$R' = \bar{E}2 \vee \bar{E}1 \vee \bar{C} = \overline{E1 * E2 * C}.$$

Составляем структурную схему триггера с учетом полученных выражений для выбранного базиса элементов.

3. Составление структурной схемы. Для этого необходимо выбрать базовый набор логических элементов, а затем полученные логические выражения представить в виде комбинации операций, выполненных элементами этого набора. При использовании элементов И-НЕ получаем следующую структуру триггера (рис.4.5).

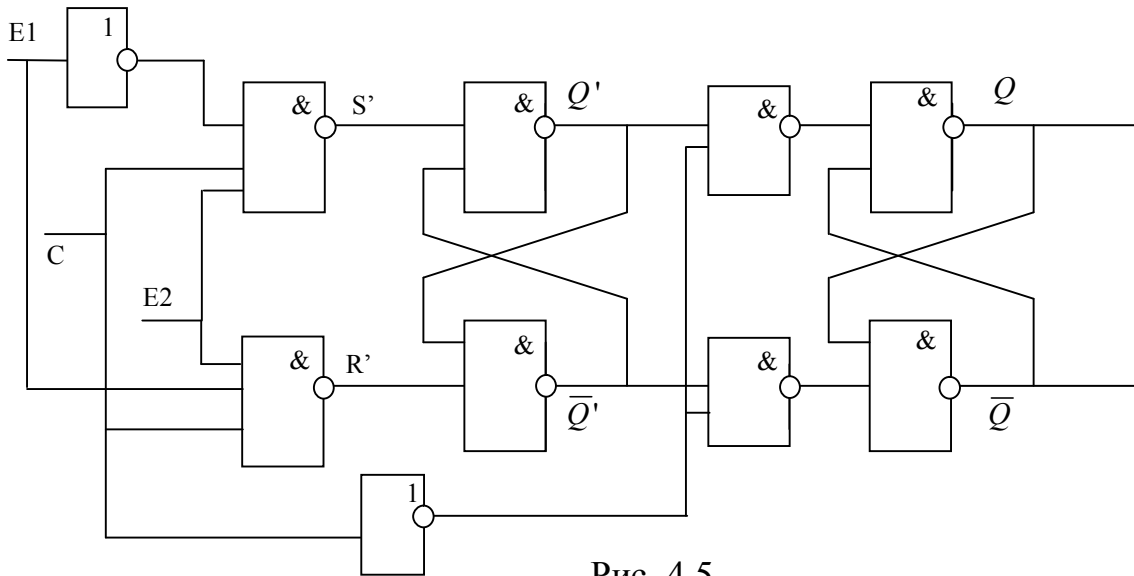


Рис. 4.5

Вопросы для самостоятельной работы:

1. Дать классификацию триггеров.
2. В чем отличие асинхронных и синхронных триггеров?
3. Для чего используется двухступенчатая структура триггера?
4. В чем сущность синтеза двухступенчатых триггеров?
5. Привести примеры триггеров.
6. Построить D и T триггеры с использованием RS триггера.
7. Построить D и T триггеры на основе JK триггера.
8. В чем разница между RS и JK триггерами?

Таблица 10

Вариант	Таблица переходов			Вариант	Таблица переходов		
1	0 0 1 1	0 1 0 1	1 0 0 \overline{Q}	8	0 0 1 1	0 1 0 1	1 \overline{Q} 0 1
2	0 0 1 1	0 1 0 1	\overline{Q} 0 1 \overline{Q}	9	0 0 1 1	0 1 0 1	1 0 \overline{Q} 0
3	0 0 1 1	0 1 0 1	0 \overline{Q} \overline{Q} 1	10	0 0 1 1	0 1 0 1	\overline{Q} \overline{Q} 1 0 \overline{Q}
4	0 0 1 1	0 1 0 1	1 \overline{Q} \overline{Q} 0	11	0 0 1 1	0 1 0 1	\overline{Q} 0 \overline{Q} 1
5	0 0 1 1	0 1 0 1	1 0 1 0	12	0 0 1 1	0 1 0 1	1 1 0 \overline{Q}
6	0 0 1 1	0 1 0 1	\overline{Q} 0 1 1	13	0 0 1 1	0 1 0 1	1 \overline{Q} \overline{Q} 0
7	0 0 1 1	0 1 0 1	\overline{Q} 0 \overline{Q} 1	14	0 0 1 1	0 1 0 1	0 \overline{Q} 1 1

5.Формирователи импульсов

Ограничители импульсов. Ограничителем называют нелинейный четырехполюсник, выходное напряжение которого повторяет входное напряжение, если последнее не выходит за уровни ограничения, и почти не изменяется, если входное напряжение выходит за эти уровни. Для ограничения сверху применяют последовательные или параллельные диодные ключи, а также транзисторные ключи, работающие только в режиме отсечки или только в режиме насыщения. Для двустороннего ограничения используют двойные ключи.

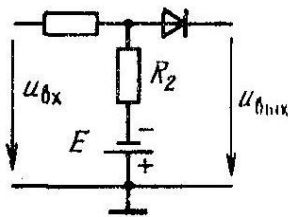


Рис. 5.1 Схема ограничителя.

Данный раздел содержит задачи и упражнения по ограничителям импульсов диодах и ТТЛ-элементах. При построении передаточных характеристик диодных ограничителей следует учитывать внутреннее сопротивление генераторов импульсов и сопротивление нагрузки. В схеме замещения открытый диод представлять линейным сопротивлением R_d . Сопротивление закрытого диода принимать равным бесконечности. При построении временных диаграмм не учитывать инерционность диода.

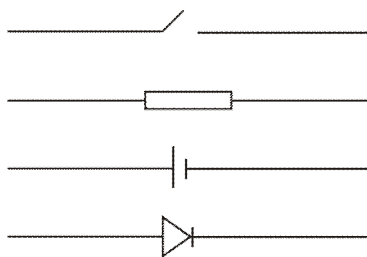


Рис. 5.2

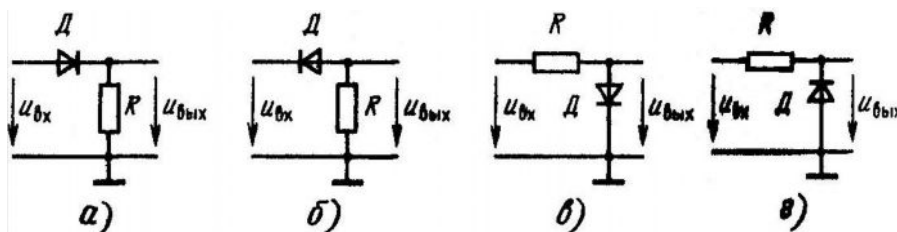


Рис. 5.3

Пример: Построить статические характеристики передачи ограничителей $u_{\text{вых}} = f(u_{\text{вх}})$, схемы которых приведены на рис. 5.3

Решение: Статические характеристики передачи ограничителей приведены на рис.5.4

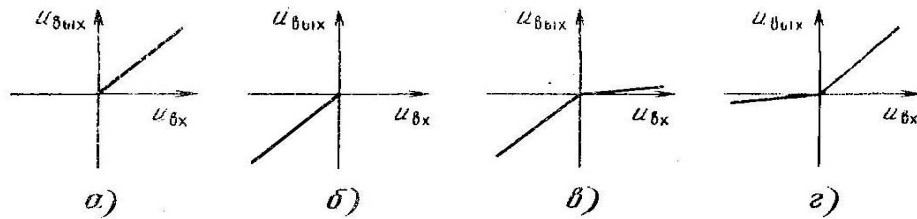


Рис. 5.4

Упражнения для самостоятельной работы:

1. Составить логическую схему «И» с помощью элементов указанных на рис. 5.2
2. Составить логическую схему «ИЛИ» с использованием элементов указанных на рис 5.2
3. Построить статические характеристики передачи ограничителей $u_{\text{вых}} = f(u_{\text{вх}})$, схемы которых приведены на рис. 5.5.
4. Синтезировать схему последовательного диодного ограничителя для осуществления ограничения, показанного на рис. 5.6
5. Синтезировать схему последовательного диодного ограничителя для осуществления ограничения, показанного на рис. 5.7
6. На рис. 5.8 приведена схема ограничителя, включенного после разделительной цепи, и временная диаграмма входного периодического напряжения:
 - а) построить временную диаграмму выходного напряжения при $R_P \ll R$ без учета влияния паразитных емкостей;
 - б) построить временную диаграмму выходного напряжения при $R_P = \infty$.
7. На рис. 5.9 приведены схемы фиксаторов уровня и временная диаграмма входного периодического напряжения. Построить временные диаграммы выходного напряжения без учета влияния паразитных емкостей.

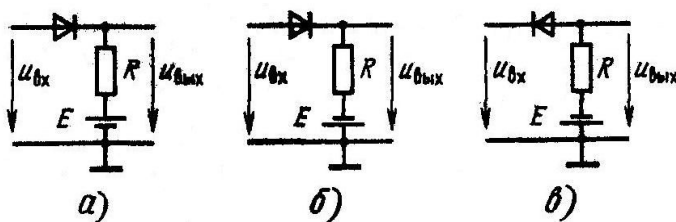


Рис. 5.5

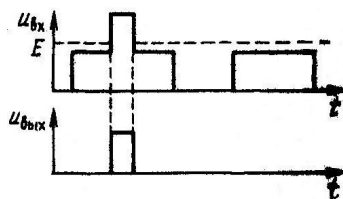


Рис. 5.6

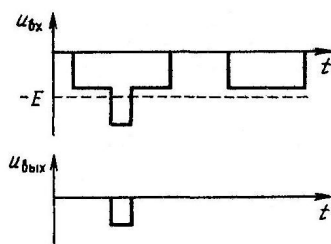
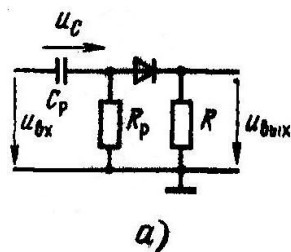
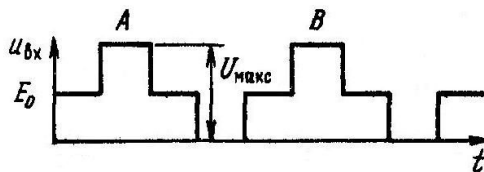


Рис. 5.7

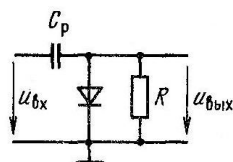


а)

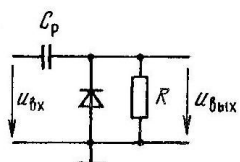


б)

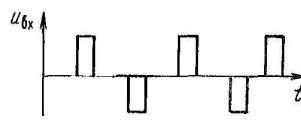
Рис. 5.8



а)



б)



в)

Рис 5.9

8. На вход ограничителя (рис.5.10,а) поступают импульсы напряжения прямоугольной формы (рис. 5.10,б). Построить временную диаграмму выходного напряжения и определить длительности фронта и среза выходных импульсов. Параметры элементов схемы: $R = 10 \text{ кОм}$, $C_{\Pi} = 100 \text{ пФ}$, сопротивление диода $R_{\text{д}} = 20 \text{ Ом}$, $t_{\text{и}} = 1 \text{ мкс}$.

9. На вход ограничителя (рис. 5.11,а) поступают импульсы напряжения прямоугольной формы (рис. 5.11,б). Построить временную диаграмму выходного напряжения и определить длительности фронта и среза выходных импульсов. Параметры элементов схемы: $R=10 \text{ кОм}$, $C_{\Pi}= 100 \text{ пФ}$, сопротивление диода $R_{\text{д}} = 20 \text{ Ом}$, $t_{\text{и}} = 3 \text{ мкс}$.

10. На рис. 5.12 приведена схема устройства для формирования напряжения прямоугольной формы из синусоидального напряжения, в которой ТТЛ-элементы используются в качестве ограничителей:

- построить временную диаграмму напряжения на выходе первого элемента $и_1(t)$ по временной диаграмме входного напряжения и передаточной характеристике ТТЛ-элемента без учета инерционности элементов схемы;
- для какой цели используется элемент \mathcal{E}_2 ?
- пояснить процесс нормализации фронтов сигнала при его прохождении через цепочку логических элементов.

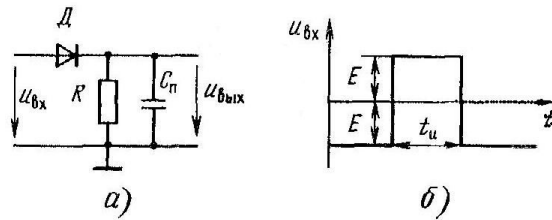


Рис. 5.10

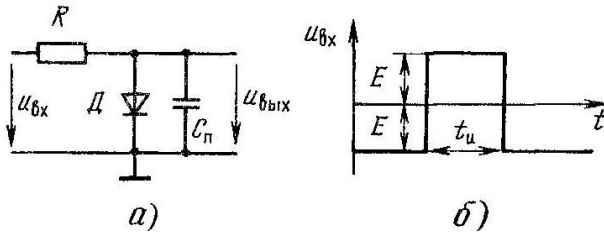


Рис 5.11

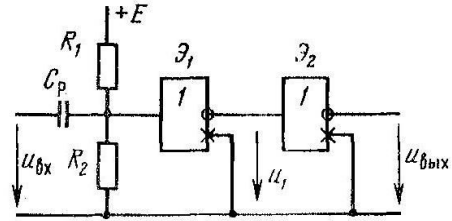


Рис. 5.12

5.2 Амплитудный селектор импульсов.

Амплитудным селектором называют устройство, предназначенное для выделения импульсов, амплитуда которых больше или меньше определенного уровня (уровня селекции) или импульсов. При нулевом уровне ограничения можно выделять импульсы по полярности. Амплитудные селекторы импульсов позволяют выделять импульсы с максимальной или минимальной амплитудой, либо с амплитудой, находящейся в заданном интервале. Амплитудный селектор импульсов максимальной амплитуды строят на основе ограничителя снизу.

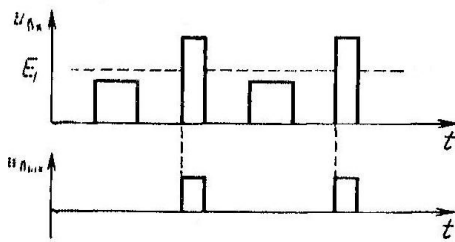


Рис. 5.13

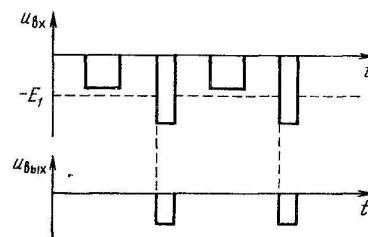


Рис. 5.14

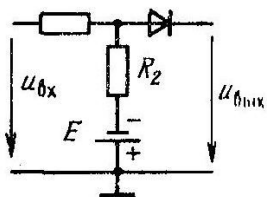


Рис. 5.15



Рис. 5.16

Пример: Составить схему диодного амплитудного селектора импульсов, выделяющего импульсы, амплитуда которых больше E_1 , (рис. 5.13).

Решение: Одна из возможных схем амплитудного селектора импульсов приведена на рис. 5.15

Упражнения для самостоятельной работы:

1. Составить функциональную схему амплитудного селектора импульсов, выделяющего импульсы максимальной амплитуды. Устройство должно нормально функционировать при изменении в определенных пределах амплитуды входных импульсов. Пояснить работу устройства временными диаграммами.
2. Составить схему диодного амплитудного селектора импульсов, выделяющего импульсы, амплитуда которых больше $|E_1|$ (рис. 5.14).
3. Составить функциональную схему селектора импульсов, выделяющего импульсы, амплитуда которых не превышает уровень E_1 (рис. 5.16). Работу селектора пояснить временными диаграммами.
4. Составить функциональную схему селектора импульсов максимальной длительности. Устройство должно формировать выходной импульс, если длительность входного больше $t_{и\ мин}$.
5. Составить функциональную схему селектора импульсов минимальной длительности. Селектор должен формировать выходной импульс, если длительность входного меньше $t_{и\ мин}$.
6. Составить функциональную схему устройства, формирующего короткие импульсы, задержанные относительно входных на время, пропорциональное значению регулируемого опорного напряжения U_p . Устройство такого типа можно использовать при построении селекторов импульсов различных типов.

Основные соотношения булевой алгебры.

и, или, не - аксиомы	
1) $x = \bar{\bar{x}}$ 2) $x+x=x$ 3) $x+0=x$ 4) $x+1=1$ 5) $x*0=0$ 6) $x*1=x$ 7) $x*\bar{x}=0$ 8) $x+\bar{x}=1$	
и, или, не - свойства	
1. сочетательность $x_1+(x_2+x_3)=(x_1+x_2)+x_3$; $x_1*(x_2*x_3)=(x_1*x_2)*x_3$;	
2. коммутативность $x_1+x_2=x_2+x_1$; $x_1*x_2=x_2*x_1$	
3. дистриб-ть $x_1*(x_2+x_3)=x_1*x_2+x_1*x_3$; $x_1+(x_2*x_3)=(x_1+x_2)*(x_1+x_3)$;	
штрих шэффера - аксиомы	
1) $x x=\bar{x}$ 2) $x \bar{x}=1$ 3) $x 1=\bar{x}$ 4) $x 0=1$ 5) $\bar{x} 1=x$ 6) $\bar{x} 0=1$	
штрих шэффера - свойства $x_1 x_2=x_2 x_1$	
стрелка пирса (функция вебба) - аксиомы	
1) $x\downarrow x=\bar{x}$ 2) $x\downarrow 0=\bar{x}$ 3) $x\downarrow 1=0$ 4) $x\downarrow \bar{x}=0$ 5) $\bar{x}\downarrow 0=x$ 6) $\bar{x}\downarrow 1=0$	
стрелка пирса - свойства $x_1\downarrow x_2=x_2\downarrow x_1$	
сумма по модулю 2 (mod 2) - аксиомы	
1) $x\oplus x=0$ 2) $x\oplus \bar{x}=1$ 3) $x\oplus 1=\bar{x}$ 4) $x\oplus 0=x$ 5) $\bar{x}\oplus 1=x$ 6) $\bar{x}\oplus 0=\bar{x}$	
mod 2 свойства	1. коммутативность $x_1\oplus x_2=x_2\oplus x_1$
	2. ассоциативность $x_1\oplus(x_2 \oplus x_3)=(x_1\oplus x_2)\oplus x_3$
	3. дистрибутивность $x_1(x_2\oplus x_3)=(x_1*x_2)\oplus(x_1*x_3)$
1. законы Де-Моргана	2. законы поглощения
$\overline{x_1*x_2}=\bar{x}_1+\bar{x}_2 \Rightarrow x_1*x_2=\overline{\bar{x}_1+\bar{x}_2}$	$x_1+(x_1*x_2)=x_1$
$\overline{x_1+x_2}=\bar{x}_1*\bar{x}_2 \Rightarrow x_1+x_2=\overline{\bar{x}_1*\bar{x}_2}$	$x_1*(x_1+x_2)=x_1$

Элементарные функции алгебры логики, зависящие от двух переменных.

Значения Функций	Функция и ее лог. выражение	Наименование функции и обозначение лог. оператора
0000	$F_0(x,y)=0$	Константа нуля. Генератор нуля - Г "0".
0001	$F_1(x,y)=x \wedge y = x * y$	Конъюнкция, лог. умножение, И, &.
0010	$F_2(x,y)=x + \bar{y}$	Запрет по У, отрицание импликации.
0011	$F_3(x,y)=x$	Переменная "X", Повторитель "X".
0100	$F_4(x,y)=x + \bar{y}$	Запрет по "X", Отрицание импликации.
0101	$F_5(x,y)=y$	Переменная "У", Повторитель "У".
0110	$F_6(x,y)=x\bar{y} + \bar{x}y = x \oplus y$	Сумма по модулю 2, Неравнозначность, М2, \oplus
0111	$F_7(x,y)=x \vee y = x + y$	Дизъюнкция, лог. сложение, ИЛИ.
1000	$F_8(x,y)=\overline{x+y} = x \downarrow y$	Стрелка Пирса, Отрицание дизъюнкции, ИЛИ-НЕ.
1001	$F_9(x,y)=xy + \bar{x}\bar{y} = x \equiv y = x \text{ ш } y$	Эквивалентность, Равнозначность, \oplus
1010	$F_{10}(x,y)=\bar{y}$	Отрицание, Инверсия "У", \neg У, Инвертор, НЕ, \neg
1011	$F_{11}(x,y)=\bar{y} + x = y \Rightarrow x$	Импликация от У к Х. Элемент импликации
1100	$F_{12}(x,y)=\bar{x}$	Отрицание, Инверсия "X", \neg X, Инвертор, НЕ, \neg .
1101	$F_{13}(x,y)=\bar{y} + x = y \Rightarrow x$	Импликация от X к У. Элемент импликации.
1110	$F_{14}(x,y)=\overline{xy} = x \downarrow y$	Штрих Шеффера. Отрицание конъюнкции, И-НЕ.
1111	$F_{15}(x,y)=1$	Константа единица. Генератор единицы - Г "1"

Элементарные операторы.

Базис	Таблица	Условное обозначение в функциональных схемах															
НЕ	<table style="border-collapse: collapse; margin: auto;"> <tr><td>x</td><td>y</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	x	y	0	1	1	0										
x	y																
0	1																
1	0																
ИЛИ	<table style="border-collapse: collapse; margin: auto;"> <tr><td>x1</td><td>x2</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x1	x2	y	0	0	0	0	1	1	1	0	1	1	1	1	
x1	x2	y															
0	0	0															
0	1	1															
1	0	1															
1	1	1															
И	<table style="border-collapse: collapse; margin: auto;"> <tr><td>x1</td><td>x2</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x1	x2	y	0	0	0	0	1	0	1	0	0	1	1	1	
x1	x2	y															
0	0	0															
0	1	0															
1	0	0															
1	1	1															
И-НЕ	<table style="border-collapse: collapse; margin: auto;"> <tr><td>x1</td><td>x2</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x1	x2	y	0	0	1	0	1	1	1	0	1	1	1	0	$\overline{x1*x2} = \overline{x1+x2} = x1 \downarrow x2$
x1	x2	y															
0	0	1															
0	1	1															
1	0	1															
1	1	0															
ИЛИ-НЕ	<table style="border-collapse: collapse; margin: auto;"> <tr><td>x1</td><td>x2</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x1	x2	y	0	0	1	0	1	0	1	0	0	1	1	0	$\overline{x1+x2} = \overline{x1*x2} = x1 \Downarrow x2$
x1	x2	y															
0	0	1															
0	1	0															
1	0	0															
1	1	0															
	<table style="border-collapse: collapse; margin: auto;"> <tr><td>x1</td><td>x2</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x1	x2	y	0	0	0	0	1	1	1	0	1	1	1	0	$x1\bar{x2} + \bar{x1}x2 = (x1+x2) * (\bar{x1} + \bar{x2}) = x1 \oplus x2$
x1	x2	y															
0	0	0															
0	1	1															
1	0	1															
1	1	0															

Список рекомендуемой литературы

1. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ. М.: Высшая школа, 1987 г.
2. Алексеенко А.Г., Шагурин И.И. Микросхемотехника. М.: Радио и связь, 1982.
3. Схемотехника ЭВМ: Учебник для студентов ВУЗов спец. ЭВМ / под ред. Соловьева Г.Н. М.: Высшая школа, 1985.
4. Каган Б.М. Электронные вычислительные машины и системы. – М.: Энергоатомиздат, 1985. 552с.
5. Сергеев Н.П., Вашкеевич Н.П. Основы вычислительной техники. – М.: Высшая школа, 1988. 311с.
6. Шило В.Л. Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1989. 352с.
7. ГОСТ 2.743-82 ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники.
8. Интегральные микросхемы: Справочник/Под ред. Б.В. Тарабрина.- М.: Радио и связь, 1984. 528с.