

УДК - 004.3

**АНАЛИЗ ИСПОЛЬЗОВАНИЯ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ
ИНТЕГРАЛЬНЫХ СХЕМ (ПЛИС) В УЧЕБНОМ ПРОЦЕССЕ КАФЕДРЫ ПОКС
КГТУ ИМ. И. РАЗЗАКОВА**

*Тен Иосиф Григорьевич, к.т.н., профессор КГТУ им. И. Раззакова, 720044, г. Бишкек, пр.
Мира 66, Тел: 0550437100, e-mail: tenig@mail.ru.*

Аннотация. В статье анализируется опыт использования аппаратно-программных систем со встроенными программируемыми логическими интегральными схемами (ПЛИС) архитектуры Field Programmable Gate Array (FPGA) в процесс обучения студентов направления «Программная инженерия» за период с 2012 по 2017 годы.

Ключевые слова: Программируемые Логические Интегральные Схемы, Программируемая Вентильная Матрица, Простое Программируемое Логическое Устройство, Сложное Программируемое Логическое Устройство, логическая емкость чипа, система на кристалле.

ANALYSIS OF THE USE OF PROGRAMMABLE LOGIC INTEGRATED CIRCUITS (FPGA) IN THE EDUCATIONAL PROCESS OF THE DEPARTMENT OF SOFTWARE KSTU NAMED AFTER I. RAZZAKOV

Ten Iosif Grigorievich, Ph.D., Professor KSTU named after I. Razzakov, Kyrgyzstan, 720044, Bishkek city, Mira pr. 66, Tel: 0553435500, e-mail: tenig@mail.ru.

Katkova Svetlana Nikolaevna, Senior Lecturer of Software Engineering department, KSTU named after I. Razzakova, Kyrgyzstan, 720044 Bishkek city, Mira pr. 66, Tel: 0550437100, e-mail: goodday54@ya.ru.

Annotation. The article analyzes the experience of using hardware-software systems with built-in programmable logic integrated circuits (FPGAs) of Field Programmable Gate Array (FPGA) in the process of teaching students of the direction "Software Engineering" for the period from 2012 to 2017.

Key words: Programmable Logic Integrated Circuits, Field Programmable Gate Array, Simple Programmable Logic Device, Complex Programmable Logic Device, logical capacity of the chip, System on the crystal.

Цель статьи

Обобщить опыт кафедры ПОКС в обучении студентов навыкам программирования аппаратно-программных систем с встроенными программируемыми логическими интегральными схемами (ПЛИС) и применении таких систем при проведении научно-исследовательских работ студентов и преподавателей.

Введение

Появление программируемых логических интегральных схем (ПЛИС) архитектуры FPGA можно назвать революцией в технике реализации алгоритмов цифровой обработки сигналов (ЦОС). Благодаря им, разработка сложнейших схем стала настолько простой, что можно создавать их за считанные часы силами одного инженера. Простые и давно разработанные ПЛИС архитектур SPLD (Simple Programmable Logic Device) и CPLD (Complex Programmable Logic Device) не позволяют реализовать сложные алгоритмы. *Программирование более гибкой и сложной логики* возможно только с помощью ПЛИС архитектуры FPGA [6].

Выбор производителя ПЛИС

Основными лидерами в производстве FPGA являются фирмы Altera и Xilinx, вдвоем они занимают 86% рынка. Следует отметить *несомненное лидерство Altera в области разработок ПЛИС.*

1. На данный момент это единственная компания, которая выпускает полную линейку продуктов FPGA.

2. Один и тот же САПР Quartus-II поддерживает полный цикл проектирования для FPGA, на базе которых можно изготовить прототип цифрового устройства.

3. При проектировании практически отсутствует риск того, что работа конечной микросхемы ASIC будет отличаться от прототипа, выполненного на FPGA. *Никто* из производителей программируемой логики больше *такого не предлагает*.

Разновидности FPGA:

1. *Энергозависимые.* Программа для FPGA хранится в распределённой памяти, которая может быть выполнена как на основе энергозависимых ячеек статического ОЗУ. В этом случае программа не сохраняется при исчезновении электропитания микросхемы. Если программа хранится в энергозависимой памяти, то при каждом включении питания микросхемы необходимо заново конфигурировать её при помощи начального загрузчика, который может быть встроен и в саму FPGA. Примером такой платы является наша учебная плата DEO.

2. *Энергонезависимые.* Программа для FPGA хранится в энергонезависимых ячейках flash-памяти или перемычек antifuse, в них программа сохраняется при исчезновении электропитания. Пример такой платы - это плата Max10 Neek.

Выбор языка программирования

Одним из этапов проектирования цифровых электронных схем является их программирование. Мы на данном этапе обучаем студентов языку программирования аппаратуры VHDL.

В настоящее время ПЛИС фирмы Altera поддерживают три языка описания аппаратуры: VHDL, Verilog и AHDL. Языки VHDL и Verilog HDL предпочтительней для нас по причинам:

1. *Универсальности.* VHDL и Verilog HDL являются *языками высокого уровня*, так как созданы как языки описания цифровых устройств вообще. Язык AHDL является языком низкого уровня, т.е. ориентирован только на ПЛИС фирмы Altera. Универсальность Verilog HDL и VHDL позволяют обеспечить мобильность описания при переходе на другую элементную базу.

2. *Ориентированности на архитектуру FPGA* для решения достаточно сложных задач обработки сигналов.

3. *Широты распространения.* Поддерживаются в качестве стандартов большим количеством программных продуктов в области систем автоматизированного проектирования (САПР).

4. *Наличия компиляторов* и для обоих языков, в том числе, с первого языка на второй.

5. *Являются высокоскоростными языками параллельной обработки сигналов.*

6. *Возможность проведения моделирования цифрового узла на стадии его проектирования.* Благодаря этому разработка стала простой и недорогой.

Исследование возможностей языков Verilog и VHDL

Нам следует провести дополнительные исследования возможностей этих двух языков по расходу аппаратных ресурсов ПЛИС и временных задержек, вызванных использованием этих языков. Это необходимо, так как мы не можем четко определить, какой же из двух языков следует выбрать для проектирования тех или иных устройств.

Рассмотренные языки описания аппаратуры отличаются друг от друга и синтаксисом, и возможностями. Verilog – достаточно простой язык, сходный с языком программирования Си – как по синтаксису, так и по "идеологии". Малое количество служебных слов и простота основных конструкций упрощают изучение и позволяют использовать Verilog в целях обучения. В то же время — это эффективный и специализированный язык.

В свою очередь VHDL обладает большей универсальностью и может быть использован не только для описания моделей цифровых электронных схем, но и для других моделей. Однако из-за своих расширенных возможностей VHDL проигрывает в эффективности и простоте, то есть на описание одной и той же конструкции в Verilog потребуется в 3-4 раза меньше символов (ASCII), чем в VHDL [7,8].

Обучение с использованием ПЛИС в период с 2012-2016 годы

Кафедра ПОКС стремясь повысить качество образования своих студентов, вводит в учебный процесс самые современные технологии и одна из них – это проектирование цифровых устройств с помощью ПЛИС архитектуры FPGA.

В учебном плане кафедры Программного обеспечения компьютерных систем КГТУ им. И. Раззакова, начиная с 2012-2013 учебного года, введена дисциплина «Введение в FPGA».

В период с 2012 по 2016 годы использовалось в учебном процессе 30 отладочных плат DEO с вмонтированным в них чипом **FPGA Cyclon-III** Тайваньской фирмы **Terasic** (платиновый партнер фирмы Intel) в среде автоматизированного проектирования САПР Quartus II -9.0 Web Adition от фирмы **Altera (Intel)**. Эти 30 плат были закуплены в рамках участия КГТУ им. И. Раззакова в ТЕМПУС-проекте HEICA «Higher Education Initiative for Informatics in Central Asia» 158677-TEMPUS-1-2009-1-DE-TEMPUS-JPCR HEICA в период с 2010 по 2013 годы.

На практических и лабораторных занятиях студенты успешно учились проектировать и программировать на платах DEO, используя высокоскоростной язык описания аппаратуры VHDL, базовые схемы малой и средней степени интеграции: вентили, мультиплексоры, шифраторы, дешифраторы, сумматоры, умножители, триггеры, регистровые устройства хранения, оперативную память, счетчики.

Необходимость приобретения мощной платы

В сопроводительной документации к платам DEO указано, что они предназначены для решения учебных задач на занятиях в ВУЗах и перечислены характеристики плат [2]. Одна из указанных характеристик – это логическая емкость. Она равна менее 1 млн вентилей (Табл. 1). Для решения задачи в режиме реального времени со сложным алгоритмом требуется 3 млн. вентилей и более [3,4], например, алгоритма сжатия видеоданных.

В конце 2016 года мы разработали проект на конкурс студенческих работ по проектированию устройства сжатия видеоданных с помощью ПЛИС FPGA. Для реализации этого проекта профессор Дрезденского технического университета **Thomas B. Preußer**, с которым ранее кафедра работала в совместном ТЕМПУС-проекте HEICA, посоветовал нам приобрести более мощную систему Max10 Neek с вмонтированным чипом Max10 компании Terasic. Университет приобрел нам эту плату.

Системы Max10 являются революционной разработкой в области Сверхбольших Интегральных Схем Программируемой Логики - СБИС ПЛ - с энергонезависимой конфигурационной памятью. Они сочетают в себе функциональность современных СБИС ПЛ с низкой стоимостью, компактностью и простотой использования микросхем предыдущих поколений семейства Max. СБИС ПЛ семейства MAX 10 имеют высокую степень интеграции, их применение позволит существенно сократить количество компонентов в системе и повысить ее надежность. Одной из наиболее актуальных областей применения СБИС ПЛ семейства Max10 является работа с видео. Главная характеристика системы Max10 логическая емкость равна 3 млн. вентилей [1]. Для решения задачи сжатия видеоданных этой емкости достаточно. Логическая емкость – одна из главных характеристик вместительности платы. Чем больше элементов расположено на кристалле, тем больше на него можно поместить информации.

Таблица 1. Основные характеристики ПЛИС FPGA от фирмы Altera

Семейства MAX10		Семейства Cyclone III
Логическая емкость (кол-во вентилей на кристалле)	3 000 000	923 077
Число логических элементов (LE)	50 000	15 408
Максимальный объем памяти DDR3	1 Гб	64 Мб
Количество пользовательских контактов ввода-вывода	500	346
Камера и видео вход на плате	есть в наличии	-

Из таблиц 1 видно значимое отличие между имеющимися на кафедре аппаратно-программными системами. Все характеристики системы Max10 Neek значительно превышают одноименные характеристики в системе DEO. Кроме этого в систему Max 10 Neek вмонтирована видео камера, которая необходима для получения видеофайлов. Использование системы дает реальную возможность расширить круг решаемых научно-исследовательских задач. А именно: реализовать давно требующие своего решения задачи, например:

- а) Сжатия видео-данных, изображений,
- б) Создания мультимедиа приложений,
- в) Создания, встраиваемых в среду разработки приложений.

Обучение с использованием ПЛИС в 2017 году

В 2017 году мы планируем продолжить использование платы DEO на лабораторных занятиях по дисциплине «Введение в FPGA» для студентов второго курса в соответствии с методическими указаниями [6] в среде проектирования Quartus-II 9.0 Web Edition. Методические указания включают 8 лабораторных работ. В практический цикл включена еще одна лабораторная работа для новой платы Max 10 Neek, разработанная на основе сопроводительной документации фирмы-производителя Altera в среде проектирования Quartus-II 15.0 Web Edition.

Содержание лабораторных работ на плате DEO [1]

Дано: таблицы истинности устройств

Требуется: Подключить плату **DEO** к источнику питания через адаптер, подключить cable USB-Blaster к плате для осуществления прошивки кристалла FPGA. Проверить, установлен ли драйвер устройства USB-Blaster на компьютер.

В среде САПР Quartus-II 9.0 Web Edition на плате DEO:

- Разработать проекты по созданию этих устройств

(создать чертежный файл, синтезировать файл, смоделировать работу устройства-симуляция, написать код работы устройства, соединить пины чертежа и кристалла FPGA, откомпилировать проект, в результате получить бинарный Sof-файл для прошивки.)

- Прошить кристалл.

- Протестировать устройство, т.е. визуально проверив логику работы его на плате DEO. Сверить результаты с исходной таблицей истинности и сделать заключение о правильности работы схемы устройства.

Содержание лабораторной работы на плате Max10 Neek [2]

Дано: Файл кода работы счетчика входных битовых сигналов на языке Verilog. Мегафункция ALTPLL генератора входных сигналов с тактовой частотой 50 Гц,

мегафункция LPM_MUX для мультиплексора - маршрутизатора выхода счетчика к светодиодным выходам платы.

Требуется: Подключить плату Max10 Neek к источнику питания через адаптер, подключить cable USB-Blaster к плате для осуществления прошивки кристалла FPGA. Проверить, установлен ли драйвер устройства USB-Blaster на компьютер.

В среде САПР Quartus-II 15.0 Web Addition на плате Max10 Neek разработать проект по созданию счетчика входных битовых сигналов. Для реализации проекта выполнить пункты:

1) На основе кода счетчика создать блок схему простого четырехразрядного счетчика в редакторе блоков изображений и добавить его в схемотехнический BDF-файл проекта.

2) Создать схемотехнический BDF-файл для генератора входных сигналов, используя мега функцию ALTPLL и добавить его в проект.

3) Создать схемотехнический BDF-файл для мультиплексора, используя мега функцию LPM_MUX и добавить его в проект. Соединить все компоненты проекта.

4) Прошить кристалл.

5) Протестировать работу счетчика на плате DEO.

Результаты использования современных техник и технологий в учебном процессе

1. Такие важные события, как приобретение современной платы Max 10 Neek и среды проектирования САПР Quartus-II 15.0 Web Addition, дали ощутимый толчок для активизации и совершенствования учебного процесса. Преподавателем в течение месяца были разработаны указания к лабораторной работе на основе презентации My_First_Fpga из сопроводительной документации от фирмы – производителя Altera и сразу использованы им в учебном процессе.

2. С помощью этих методических указаний студенты научились создавать экспериментальную базу для тестирования создаваемых ими устройств. Для этого объединили генератор входных сигналов с тактовой частотой 5 ГГц, простой счетчик хранения, мультиплексор и кнопку ускорения счета в единую схему. Ранее генератор входных сигналов, мультиплексор и кнопку ускорения счета не использовали, т.е. тестировали устройства “в голем виде”. В результате чего не было однозначности и наглядности результатов тестирования.

3. На самостоятельной работе (СРС) студенты разработали:

- Счетчик входных битовых сигналов на 8 индикаторных выходах
- Счетчик обратного отсчета входных сигналов
- Таймер на четырех семи сегментных индикаторах

Работа таймера была продемонстрирована студентом 2-го курса кафедры ПОКС на апрельской научно-технической конференции ВУЗа.

4. Более интересной стала и научно-исследовательская работа. Студент 3-го курса кафедры ПОКС самостоятельно освоил процедуры реализации проекта на базе процессора NIOSII, создания аппаратной части проект в среде QSYS, интеграции аппаратной части проекта, создания программной части проекта в рамках оболочки NIOSII IDE, конфигурирования СБИС и проверки результатов проекта на плате Max10 Neek. В результате он реализовал задачу отображения текста “Hello to Word” на экране внутреннего процессора. Т.е. создал внутреннее приложение с помощью средств процессора NIOSII [2].

5. Интересно, что активность студентов еще больше возросла, когда самостоятельно восстановили исчезнувшее стандартное меню с встроенными приложениями на сенсорном экране платы Max10 Neek, которая создана разработчиками лучших фирм корпорации Intel. Студенты отметили также недочет в работе платы, а именно: отсутствие автоматического возврата в меню при просмотре очередного приложения.

Трудности

1. На кафедре есть в наличии 30 плат DEO.
2. Но платы DEO пригодны только для учебных целей из-за их низкой производительности.
3. Университет купил для проекта только одну плату Max 10.
4. А для реализации данного проекта, а также совершенствования учебного процесса и научно-исследовательской работы нужны платы высокой производительности - семейства Max 10 - в количестве 30 штук.
5. В качестве среды проектирования нужен лицензированный вариант среды проектирования Quartus-II 15.0, так как в нем предоставлены специализированные средства разработки сложных алгоритмов, таких как алгоритм сжатия видеоданных - Core Mega Functions.

Работа с использованием ПЛИС в 2018-2019 годах

Инициативной группе студентов поставлена задача разработать алгоритм процесса сжатия видеоданных с видеокамер наружного наблюдения. Цель: качественное сжатие архивов видеоданных полученных с городских видео камер в 40 раз и своевременное предоставление информации о правонарушениях со сроком давности до 10 лет. 18 мая 2017 года на Международной научно-технической конференции «Интеграционные процессы в научно-техническом процессе и образовательном пространстве» предоставлен отчет о проделанной работе. Все пункты, запланированные с января по апрель 2017 года, выполнены.

Кроме того, мы планируем исследование мобильных Android-приложений для управления роботами на базе систем на кристалле (System on the crystal - Soc) от фирмы Altera. Кафедра ведет переговоры с фирмой и с европейскими партнерами в этом направлении. Документацию и Демо-диск с необходимой информацией мы уже получили от фирмы Terasic для детального ознакомления с возможностями систем на кристалле.

Выводы

Внедрение в учебный процесс передовых технологий и высококачественных аппаратных средств просто необходимо для:

1. Повышения качества образовательного процесса и увеличения интереса учащейся молодежи к наукам и научно-исследовательской деятельности,
 2. Создания научно-технического потенциала и реальных научных разработок.
- В результате ВУЗ сможет помочь решить насущные проблемы государства и населения в целом.

Список литературы

1. Max10 Neek, FPGA development KIT, User Manual, Copyright 2009-2015 Terasic Inc. All Rights Reserved.
2. DEO, Development and Education Board, User Manual, Altera University Program.
3. support23@terasic.com
4. <https://www.altera.com/support/quality-and-reliability.html>
5. Каткова С.Н. Методические указания к лабораторным работам по дисциплине Введение в FPGA, изд. Текник, Бишкек, 2016 г
6. Стешенко В.Б. ПЛИС фирмы Altera: проектирование устройств обработки сигнала, ОДЭКА, 2000.
7. Особенности языков описания архитектуры Verilog и VHDL [Электронный ресурс]. – Режим доступа: <http://parallel.ru/fpga/hdl.html>, свободный.
8. Языки описания аппаратуры: синтаксис и особенности применения [Электронный ресурс]. – Режим доступа: <http://radiolubytel.narod.ru/Design/sceem/Shemotechnics/gl3/3-1.html>, свободный.