

*Мананников Никита Александрович, магистрант, КГТУ им. И.Раззакова, Кыргызстан, 720044, г.Бишкек, пр. Мира 66, e-mail: [manannikov\\_nikita@outlook.com](mailto:manannikov_nikita@outlook.com)*

*Исраилова Нелла Амантаевна, к.т.н., доцент кафедры «Информатика и вычислительная техника» КГТУ им. И. Раззакова, Кыргызстан, 720044, г.Бишкек, пр. Айтматова Ч. , 66, e-mail: [inela.kstu@gmail.com](mailto:inela.kstu@gmail.com)*

**Аннотация.** В данной статье изложено описание процесса проектирования видеоконтроллера на основе ПЛИС. В эпоху современных технологий, проектирование цифровых устройств в большинстве случаев разрабатываются на ПЛИС (Программируемые логические интегральные схемы), так как разработка не требует физического соединения проводников между транзисторами, а все соединяется методом программирования. Такой метод обеспечивает возможность глубокой внутренней отладки и быстрые сроки разработки. Проектируемый видеоконтроллер может быть использован для мини-ЭВМ, который планируется для внедрения в учебный процесс по подготовке бакалавров направления 710100- Информатика и вычислительная техника и инженеров по специальности 590001- Информационная безопасность.

**Ключевые слова:** HDMI, VGA, FPGA, ПЛИС, Управление памятью RAM, Двойная буферизация, видеоконтроллер, процессор, мини-ЭВМ, Modelsim.

## DESIGNING OF VIDEO CONTROLLER BASED ON THE FPGA

*Manannikov Nikita Aleksandrovich, undergraduate, KSTU n/a I.Razzakov, Kyrgyzstan, 720044, Bishkek, Aitmatov Ave., e-mail: [manannikov\\_nikita@outlook.com](mailto:manannikov_nikita@outlook.com)*

**Abstract.** This article describes the process of designing a video controller based on FPGA. In the era of modern technology, the design of digital devices in most cases are developed on the FPGA (Programmable logic integrated circuits), since the development does not require a physical connection of conductors between transistors, and everything is connected by a programming method. This method provides deep internal debugging and fast development times. The projected video controller can be used for a mini-computer, which is planned for implementation in the educational process for the preparation of bachelors on the 710100- Computer Science and Computer engineering and engineers on the specialty 590001- Information Security.

**Keywords:** HDMI, VGA, FPGA, RAM memory management, Double buffering, video controller, processor, minicomputer, Modelsim

### ВВЕДЕНИЕ

Необходимость проектирования видеоконтроллера обусловлена отсутствием качественной лабораторной базы по специальным дисциплинам профессионального цикла направления 710100-Информатика и вычислительная техника, связанных с проектированием устройств ЭВМ. И реализация устройств ЭВМ на базе ПЛИС является эффективным и оптимальным способом изучения процессов проектирования ЭВМ. В предыдущей статье были рассмотрены этапы проектирования 8-ми разрядного процессора на базе ПЛИС [1]. В данной статье будут изложены основные этапы проектирования видеоконтроллера.

В современных системах видеоконтроллер является неотъемлемой частью, и на его проектирование уделяется тоже не мало времени. Возлагаемая задача на видеоконтроллер заключается в обеспечении корректной, согласованной передачи данных на дисплей и своевременной подготовки одного кадра данных (изображения) во временный буфер перед отправкой.

Временные ограничения связаны с тем, что конкретное разрешение (в данном случае 1024x600, 43Hz) требует определенных значений индивидуальных параметров по временным интервалам горизонтальной и вертикальной синхронизации.

В эпоху современных технологий, проектирование цифровых устройств в большинстве случаях разрабатываются на FPGA (Программируемые логические интегральные схемы), так как разработка не требует физического соединения проводников между транзисторами, а все соединяется методом программирования. Такой метод обеспечивает возможность глубокой внутренней отладки и быстрые сроки разработки.

### ПРОЕКТИРОВАНИЕ ВИДЕОКОНТРОЛЛЕРА

Процесс проектирования видеоконтроллера включает в себя следующие этапы:

1. Построение контроллера горизонтальной и вертикальной синхронизации.
2. Создание буфера двойной буферизацией данных, размером 6,1 КВ.
3. Построение главного контроллера управления.
4. Отладка в среде разработки «Modelsim».

Далее рассмотрим более подробно каждый из указанных этапов проектирования.

#### 1. Построение контроллера горизонтальной и вертикальной синхронизации

Одним из важных компонентов в видеоконтроллере является контроллер горизонтальной и вертикальной синхронизации. Именно с него мы и начнем конструирование.

Так как данный контроллер предназначен для синхронизации экрана, то мы должны учесть какие нам нужны параметры для обеспечения разрешения 1024x600 и частоту обновления 43Гц. Такое разрешения выбрано из тех соображений, что в данной системе будет использоваться тип дисплея «7inch HDMI LCD(C)», так как он имеет относительно низкую цену и при этом выдает хорошее качество изображения.

Условно графическое отображения контроллера и спецификация приведены на Рис.1.

Наименование	Горизонтальная синхронизация 32MHz	Вертикальная синхронизация 37kHz
ACTIVE VIDEO	1024	600
FRONT PORCH	40	13
SYNC PULSE	48	3
MAX	1152	645

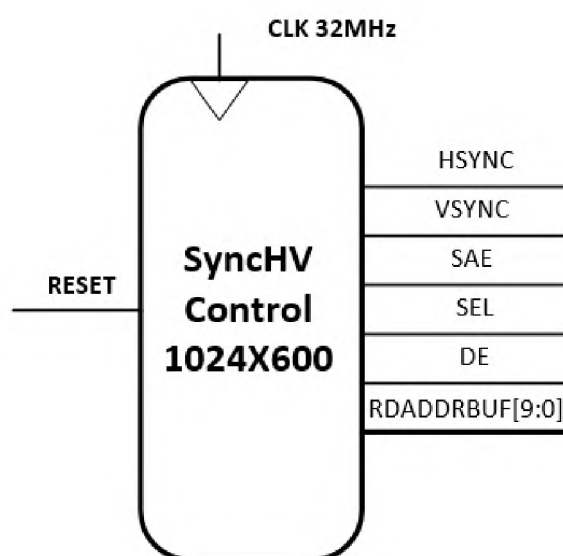


Рис. 2. Условно графическое отображения контроллера горизонтальной и вертикальной синхронизации

Сигнал	Кол-во линий	Вход/Выход	Комментарий
RESET	1	Вход	Перезагрузка контроллера и восстановление всех параметров по умолчанию
CLK 32 MHz	1	Вход	Тактовый генератор (32 МГц)
HSYNC	1	Выход	Горизонтальная синхронизация дисплей
VSYNC	1	Выход	Вертикальная синхронизация дисплей
SAE	1	Выход	Запрос начального адреса изображения для вывода на дисплей
SEL	1	Выход	Управление буфером
DE	1	Выход	Разрешение на передачу данных
RDADDRBUF	10	Выход	Генерация адрес для чтения данных из буфера

## 2. Создание буфера с двойной буферизацией данных, размером 6,1 КВ

Теперь, когда был разработан контроллер горизонтальной и вертикальной синхронизации возник вопрос: а как нам передавать изображения на экран и при этом не потерять производительность.

При первых попытках, была поставлена идея реализовать кадровый буфер в ОЗУ. Но когда был реализован этот метод обнаружилась проблема. Проблема связана с тем, что используемая ОЗУ «LDDR2», также используется процессором и при обновлении экрана это приводит к заметному снижению производительности. Снижение производительности было вызвано тем, что видеоконтроллер на большое время занимал цикл шины памяти и при этом процессор не успевал обрабатывать данные.

Выходом из данной проблемы послужил буфер двойной буферизации. Данная технология позволяет одновременно писать и читать данные с буфера. Но так как разработка происходит на ПЛИС, мы имеем ограниченную по объёму память. Чтобы хранить целиком изображения разрешением 1024x600 пикселей, нам нужна память объёмом 1,8 МБ. Были приняты меры хранить только одну строку изображения в нашем буфере. Пока одна строка выводится на экран, вторая при этом заполняется новыми данными. Этот метод хорош тем, что нам не нужно иметь большого объема буферной памяти и при этом скорость записи на много выше, что дает процессору больше времени для работы с ОЗУ.

Условно графическое отображения буфера двойной буферизации изображено на Рис.2.

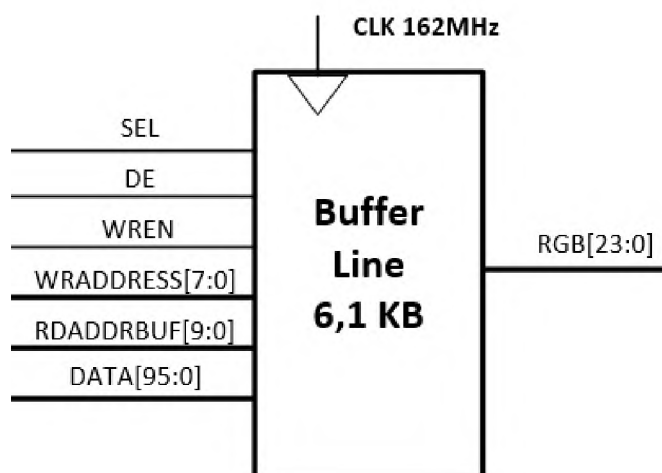


Рис. 3. Условно графическое отображения буфера двойной буферизации

Сигнал	Кол-во линий	Вход/Выход	Комментарий
CLK 162MHz	1	Вход	Тактовый генератор (162 МГц)
SEL	1	Вход	Управление буфером
DE	1	Вход	Разрешение на передачу данных
WREN	1	Вход	Разрешающий сигнал для записи в буфер
WRADDRESS	8	Вход	Адрес для записи данных
RDADDRBUF	10	Вход	Адрес для чтения данных
DATA	96	Вход	Данные из временного регистра ГКУ
RGB	24	Выход	Данные для каждого цвета, выводимые на экран

### 3. Построение главного контроллера управления

При разработки основных компонентов, теперь можно приступит к построению главного контроллера управления.

Главный контроллер управления служит для взаимодействия с ОЗУ, при этом не задействует центральный процессор. Такая технология называется прямым доступом к памяти (ПДП). Также контроллер имеет наивысший приоритет у арбитра шины, так как вывод изображения на экран нельзя прерывать, что может вызвать различные аномалии. Запись в буфер управляется тоже данным контроллерам. Условно графическое отображения главного контроллера управления изображена на Рис.3.

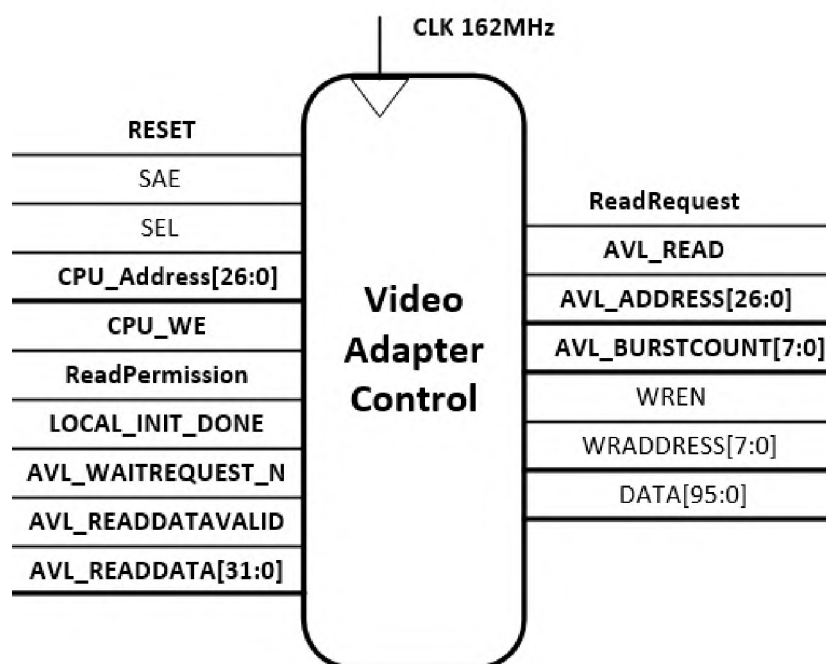


Рис. 4. Условно графическое отображения главного контроллера управления

Сигнал	Кол-во линий	Вход/Выход	Комментарий
RESET	1	Вход	Перезагрузка контроллера и восстановление всех параметров по умолчанию
CLK 162MHz	1	Вход	Тактовый генератор (162 МГц)
SAL	1	Вход	Установка контроллера на начальный адрес
SEL	1	Вход	Управление записью и чтением с буфера
CPU_Address	27	Вход	Процессор указывает начальный адрес изображения в ОЗУ
CPU_WE	1	Вход	Разрешение для записи адреса
ReadParmission	1	Вход	Разрешение на чтения данных с ОЗУ
LOCAL_INIT_DONE	1	Вход	Инициализация ОЗУ прошла успешно
AVL WAITREQUEST N	1	Вход	Ожидание ответа ОЗУ
AVL READDATAVALID	1	Вход	Разрешение на чтения ОЗУ
AVL READDATA	32	Вход	Шина данных ОЗУ

ReadRequest	1	Выход	Запрос на разрешения арбитра
AVL_READ	1	Выход	Запрос на чтения ОЗУ
AVL_ADDRESS	27	Выход	Шина адреса ОЗУ
AVL_BURSTCOUNT	8	Выход	Размера пакета передаваемый ОЗУ
WREN	1	Выход	Разрешение записи в буфер
WRADDRESS	8	Выход	Адрес для записи данных
DATA	96	Выход	Данные из временного регистра

Контроллер разработан при помощи двух конечных автоматов. Граф схема приведена на Рис.4.

Словесное описание граф схемы:

- **Состояния S0**, при поступлении на вход «RESET» логической '1', производится сброс контроллера и устанавливаются все значения по умолчанию. При логическом '0' переходит в состояния S1;
- **Состояния S1**, при поступлении на вход «CPU\_WE» логической '1', происходит запись начального адреса «CPU\_Address» изображения в буферный регистр «CPU\_Buf\_Address», далее происходит переход в состояния S2. При логическом '0' переходит в состояния S1;
- **Состояния S2**, производится запись с буферного регистра «CPU\_Buf\_Address» в счетчик адреса «CounterAddr», далее происходит переход в состояния S3.
- **Состояния S3**, производится запись в регистр «ReadRequest» логической '1' для разрешения на чтения у арбитра шины. При поступлении на вход «Read Permission» логической '1', происходит переход в состояния S4. При логическом '0' переходит в состояния S3;
- **Состояния S4**, при поступлении на вход «LOCAL\_INIT\_DONE» логической '1', происходит запись адреса с счетчика «CounterAddr» в регистр «AVL\_ADDRESS» и в регистр «AVL\_BURSTCOUNT», записывает значения 192. Далее происходит переход в состояния S5. При логическом '0' переходит в состояния S4;
- **Состояния S5**, производится запись в регистр «AVL\_READ» логической '1' для разрешения на чтения из памяти. При поступлении на вход «AVL\_WAITREQUEST\_N» логической '1', происходит переход в состояния S6. При логическом '0' переходит в состояния S5;
- **Состояния S6**, производится запись в регистр «AVL\_READ» логический '0'. При достижении счетчика «BurstCountEnd» значением 192, происходит переход в состояния S7. При логическом '0' переходит в состояния S6 и запускает внутренний автомат;
- **Состояния S7**, прибавляет к счетчику адреса «CounterAddr» значением 192. При достижении счетчика «EndLine» значением 4, происходит переход в состояния S8. Иначе переходит в состояния S4;
- **Состояния S8**, производится запись в регистр «EndLine» логический '0'. При поступлении на вход «SEL» логической '1', происходит переход в состояния S9. При логическом '0' переходит в состояния S10;
- **Состояния S9**, при поступлении на вход «SEL» логической '1', происходит переход в состояния S9. При логическом '0' переходит в состояния S3;
- **Состояния S10**, при поступлении на вход «SEL» логической '1', происходит переход в состояния S3. При поступлении на входы «SEL и SAE» логической '1', происходит переход в состояния S2. При логическом '0' переходит в состояния S10;

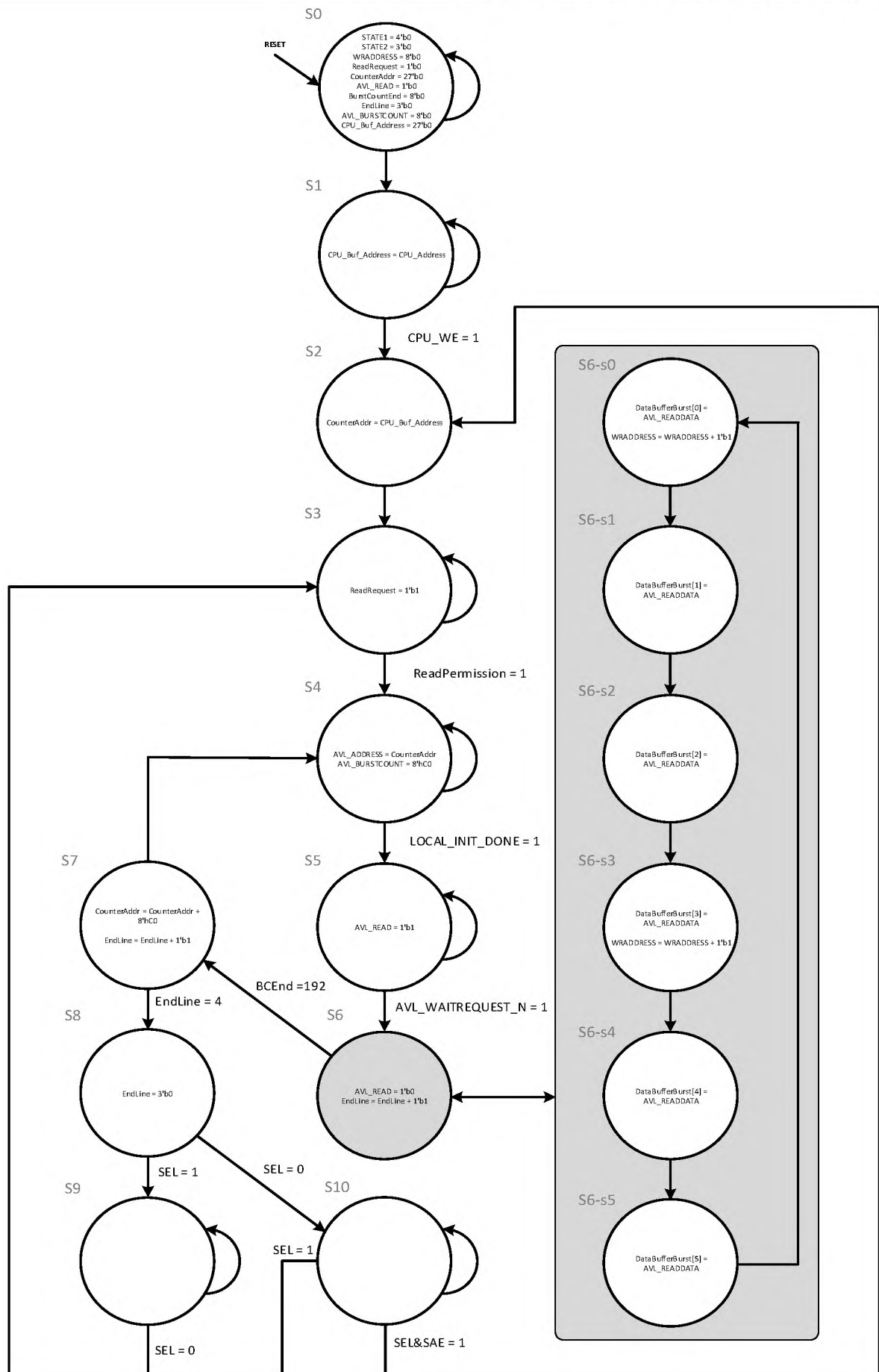
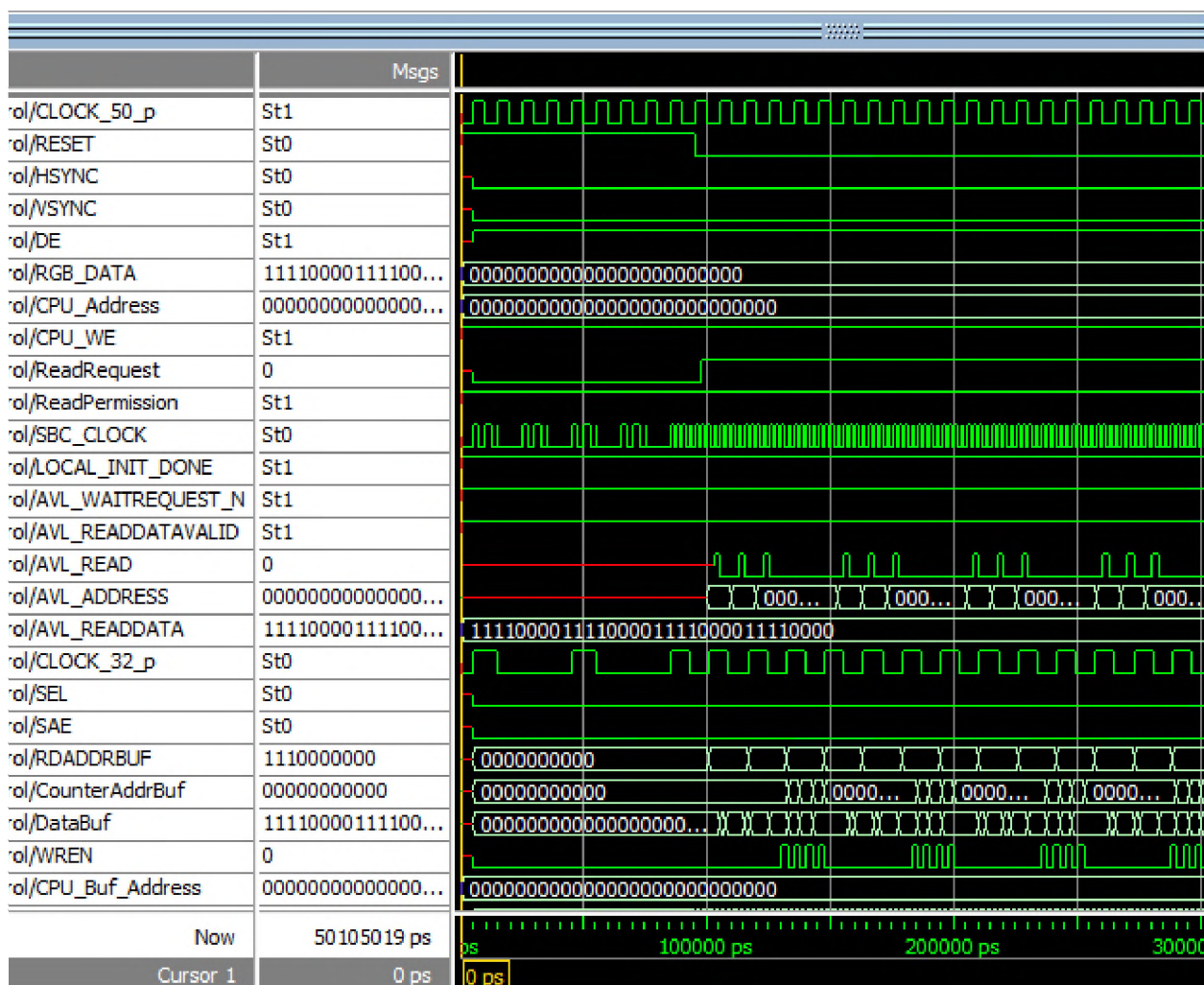


Рис. 5. Граф схема работы главного контроллера управления

#### 4. Отладка в среде разработки «Modelsim».

«Modelsim» является одним из мощных симуляторов для, конструирования средств вычислительной техники. Данный инструмент наглядно показывает все внутренние протекающие процессы при работе видеоадаптера Рис. 5. Также при конструировании, благодаря «Modelsim» удалось смоделировать весь этап передачи целого кадра изображения. И устранить небольшие недочеты в тракте контролера. Схема видеоконтроллера изображена на Рис.6.

При конструировании вычислительных устройств сразу на ПЛИС, без использования различных симуляторов. Снижается время проектирования, так как компиляция больших проектов занимает не мало времени. И по этой причине видеоконтроллер сначала разрабатывался в симуляторе, а потом уже тестировался на ПЛИС.



**Рис. 6. Окно «Wave» в программе «Modelsim»**



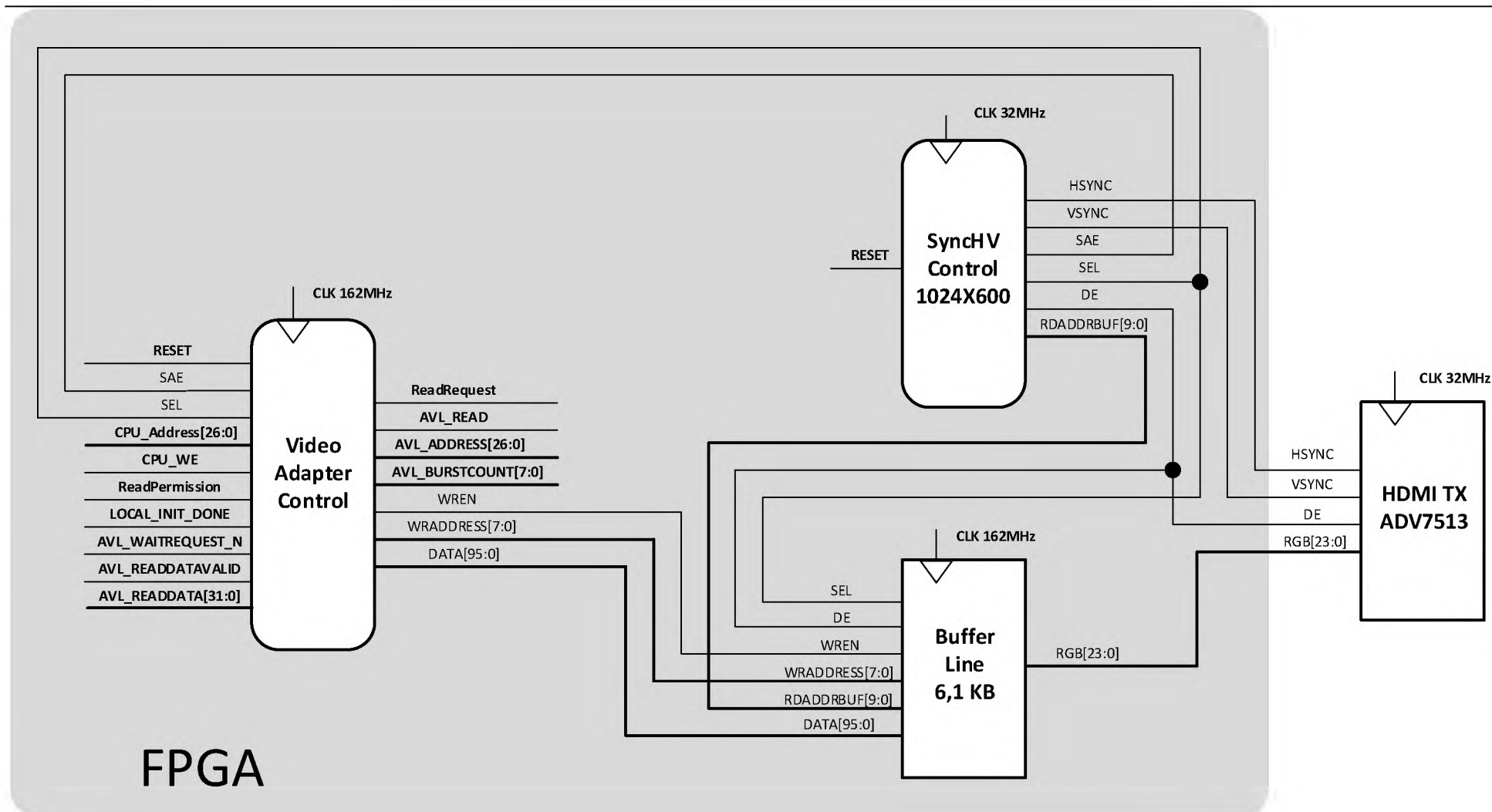


Рис. 7. Схема видеоконтроллер

### **ЗАКЛЮЧЕНИЕ**

В результате проектирования видеоконтроллера были построены следующие блоки:

1. Контроллер горизонтальной и вертикальной синхронизации, дающий разрешение экрана 1024x600 с частотой обновления 43Гц;
2. Videобуфер двойной буферизации, размером 6.1 КВ, что обеспечило повышение производительности системы;
3. Главный контроллер управления с прямым доступом к памяти.

Разработанный видеоконтроллер был протестирован на отладочной плате «Cyclone V GX Starter Kit» от компании «Terasic». Результаты тестирования показали, что контроллер успешно функционирует в данной системе.

Разработка видеоконтроллера является одним из важных этапов в процессе реализации учебной Мини-ЭВМ, ориентированной на изучение и применение в учебном процессе. Простота и доступность подобной реализации видеоконтроллера позволит обеспечить наглядность и удобство процесса проектирования при выполнении самостоятельной работы студентов направления 710100-Информатика и вычислительная техника», специальности 590001-Информационная безопасность по специальным курсам профессионального цикла программы.

### **СПИСОК ЛИТЕРАТУРЫ**

1. Мананников Н.А., Исраилова Н.А.Проектирование 8-ми разрядного одноктактового процессора с RISC архитектурой на базе ПЛИС/ Н.А.Мананников, Н.А.Исраилова -Бишкек, Известия КГТУ, 270-276с.
2. Таненбаум Э., Остин Т.Архитектура компьютера / Э. Таненбаум, Т. Остин -6-е издание, Питер 2013.
3. Паттерсон Д., Хеннесси Дж.Архитектура компьютера и проектирование компьютерных систем/ Д. Паттерсон, Дж. Хеннесси- Питер,2012.
4. Кириллов В.В.Архитектура базовой ЭВМ./ В.В. Кириллов - Санкт-Петербург 2010.
5. Соловьев В.В.Основы языка проектирования цифровой аппаратуры VERILOG/ В.В. Соловьев - Москва 2014
6. Дэвид М. Харрис, Сара Л. Харрис.Цифровая схемотехника и архитектура компьютера / М. Дэвид Харрис, Л.Сара Харрис - 2-е издание, Morgan Kaufman 2013.
7. Анатолий Жмакин.Архитектура ЭВМ/ А.Жмакин-2-е издание, Санкт-Петербург 2010.
8. Рональд ДЖ. Точки, Нил С. Уидмер. Цифровые системы теория и практика/ Рональд ДЖ. Точки, Нил С. Уидмер. -8-е издание, издательский дом “Вильямс” 2004.
9. Поляков А.К.Языки VHDL и VERILOGв проектировании цифровой аппаратуры/ А.К. Поляков Москва 2003.
10. Samir Palnitkar.Verilog HDL: A Guide to Digital Design and Synthesis, Second Edition/ Samir Palnitkar Prentice Hall, 2003.